

밀한 타이밍 신호는 프레임 기준 신호에 대해 높은 순간 정밀도를 갖는다.

도표

도

명세서

기술분야

본 발명은 일반적으로 무선 시스템에 관한 것으로, 특히 통신 시스템, 레이더 및 도난 방지 시스템과 같은 임펄스 무선 기술용 정밀 타이밍 발생기에 관한 것이다.

배경기술

최근 통신 기술은 통신 시스템을 초 광대역 통신 시스템으로 발전시켜 왔다. 이 초 광대역 통신 시스템은 채널화, 오동작에 대한 저항 및 낮은 감률 확률을 개선시키는 많은 이점이 있다.

이 초 광대역 시스템의 이점은 임펄스 무선 통신 시스템(이하, 임펄스 무선이라 칭함)이라 칭해진 최근에 만들어진 개선된 초 광대역 기술을 통해 부분적으로 개시되어 있다. 먼저, 임펄스 무선은 최초로 래리 더플러, 풀러튼(Larry O. Fullerton)이 출원한 미합중국 특허 제4,641,317호(1987년 2월 3일자로 등록), 제4,813,057호(1989년 3월 14일자로 등록), 제4,979,186호(1990년 12월 18일자로 등록), 제5,363,108호(1994년 11월 8일자로 등록) 및 제4,743,986호(1988년 5월 10일자로 등록)를 포함하는 일련의 특허에 충분히 설명되어 있다. 임펄스 무선에 대한 2 번째 특허는 풀러튼 등에 의해 출원한 미합중국 특허 제5,677,927호(1997년 9월 14일자로 등록), 제5,687,169호(1997년 11월 11일자로 등록) 및 계속중인 출원 제08/761,602호(1996년 12월 6일자로 출원 : 근래 승인된)에 포함되어 있다. 이들 특허 문서는 참조 문헌으로서 본 명세서에 설명되어 있다.

기본적인 임펄스 무선 송신기는 펄스-펄스 간격이 엄밀히 제어된 짧은 가우시안 모노사이클 펄스를 방출한다. 임펄스 무선 시스템은 시간 변조 형태인 펄스 위치 변조를 사용하고, 변조 신호의 각 순간 샘플 값은 시간에 따라 펄스의 위치를 변조시킨다.

임펄스 무선 통신에서, 펄스-펄스 간격은 2가지 성분: 정보 성분 및 의사 난수(PN) 코드 성분에 의해 펄스별로 기준을 변화시킨다. 일반적으로, 확산 스펙트럼 시스템은 상당히 광대역 주파수에 걸쳐 정보 신호를 확산시키도록 PN 코드를 사용한다. 확산 스펙트럼 수신기는 기본 정보 신호를 복원하기 위해 이들 신호를 상관시킨다. 확산 스펙트럼 시스템과 달리, 임펄스 무선 통신용 PN 코드는 모노사이클 펄스 자체가 본질적으로 넓은 대역을 갖기 때문에 에너지 확산용으로 필요하지 않다. 대신에, 임펄스 무선 시스템의 의사 난수 코드는 채널화, 주파수 도메인의 에너지 스무딩 및 오동작 저항(혼신 저지)용으로 사용된다.

일반적으로 말하면, 임펄스 무선 수신기는 교차 상관기 전단부를 갖는 호모다인 수신기이다. 이 전단부는 모노사이클 펄스의 전자기 펄스 트레이스를 단일 단의 베이스밴드 신호로 변환시킨다. 임펄스 무선 송신의 데이터 비율은 전형적으로 시간 베이스로서 사용된 주기적인 타이밍 신호의 비율이다. 각 데이터 비트 시간 위치는 일반적으로 많은 송신된 펄스를 변조한다. 이것은 각 단일 데이터 비트용으로 동일하게 형성된 펄스의 트레이스를 포함하는 변조되고 코드된 타이밍 신호를 산출한다. 임펄스 무선 수신기의 상호 상관기는 송신된 정보를 복구하기 위해 다중 펄스를 통합한다.

임펄스 무선 통신 시스템에서, 정보는 펄스 위치 변조에 의해 전형적으로 변조된다. 즉, 각 펄스가 송신된 시간은 고정된 펄스-펄스 간격 시간으로부터 약간 변경된다. 통신 채널의 효과를 제한하는 한 요인은 펄스가 위치하게 될 수 있는 정밀도이다. 더 정확한 펄스 포지셔닝은 통신 엔지니어가 통신 채널을 이용하도록 허용한다.

임펄스 무선 레이더 시스템을 포함하는 레이더 위치 결정 및 모션 센서용으로, 정밀한 펄스 포지셔닝은 고 정밀도 및 고 해상도를 달성하는데 결정적이다. 현재 시스템의 해상도 한계는 시퀀스가 정확하게 조정되어 송신된 신호를 인코딩하기 위한 능력 한계의 부분적 결과이다. 그러므로, 타이밍 신호가 발생될 수 있는 정밀도의 증진은 고 해상도 위치 및 모션 센싱 시스템의 결과일 수 있다.

임펄스 무선 통신 및 레이더는 정밀한 타이밍 발생기에 이익이 되는 단지 2가지 기술의 예이다. 고 정밀도 타이밍 발생기는 타이밍 신호의 정밀한 포지셔닝이 요구된 임의의 시스템에 응용된다.

그러나, 이러한 고 정밀도 펄스를 발생시키는 것은 매우 어렵다. 일반적으로, 고 정밀도 시간 기준은 펄스-펄스 간격이 엄격히 제어된 짧은 지속의 펄스를 형성하는데 필요하다. 최근에 사용가능한 아날로그 또는 디지털 집적 회로 타이머는 이러한 고 정밀도 펄스를 형성할 수 없다. 전형적인 임펄스 무선 타이머 시스템은 상대적으로 복잡하고, 고비용인 보드 레벨 디바이스로 생산하기 어렵다. 작고, 저 전력이며, 쉽게 생산된 타이머 디바이스는 많은 새로운 임펄스 무선 분야 생산품일 수 있고, 이들 장점을 최종 사용자에게 적용한다.

발명의 상세한 설명

본 발명은 매우 정확하고 안정한 로우 지터(Jitter) 및 빠르게 변화하는 타이밍 코덱 입력에 응하는 예민한 타이밍 신호를 제공하는 타이밍 발생기에 관한 것이다. 이러한 신호는 산업 분야의 다양한 다른 응용 및 수단 뿐만 아니라 웹 트랜시버 및 레이더 디바이스용으로 필요하다.

본 발명에 따라 발생된 타이밍 신호는 시스템에 의해 발생된 시간 프레임 신호에 대한 일정 간격(지연

된) 시간에서 신호 현미를 발생한다. 프레이밍 신호는 전형적으로 안정된 기준에서 작동된다. 한 실시예에서, 위상 동기 루프(PLL)는 이 기능을 달성하는데 사용된다. 타이밍 코멘드가 어떤 설정 시간 조건을 충족할 경우, 출력 타이밍 신호 현미는 관련된 프레이밍 신호 현미에 대한 정밀한 시간에 배치될 수 있다. 초기/최종 코멘드 입력 신호 및 관련된 메카니즘은 설정 시간 또는 준안정 제약으로 야기된 겹에서 벗어나 100 % 시간 코멘드 커버리지를 허용하도록 포함된다.

본 발명은 이 목적을 달성하는 조밀(coarse) 타이밍 발생기 및 세밀(fine) 타이밍 발생기를 이용한다. 조밀 타이밍 발생기는 프레이밍 간격을 정의하고 프레이밍 간격을 조밀 타이밍 간격으로 더 분할시키는데 이용된다. 세밀 타이밍 발생기는 조밀 타이밍 간격간의 시간 위치를 정의하는데 사용된다.

조밀 타이밍 발생기는 고속 동기 카운터, 입력 코멘드 래치 및 디지털 비교기를 이용한다. 한 실시예는 100 % 타이밍 커버리지를 허용하도록 몇몇 점에서 입력 코멘드를 래칭하는데 허용한다. 다른 실시예는 시스템을 다른 프레이밍 비율 및 다른 기준 타이머 주파수로 기동화하기 위해 선택가능한 카운터 길이를 포함한다. 이들 설정 매개 변수는 시리얼로 로드가능한 코멘드 레지스터를 사용하여 로드할 수 있다.

세밀 지연 발생기는 위상 시프트 회로에 기초한다. 2개의 예시적인 실시예가 설명되어 있다. 한 실시예는 사인/코사인 멀티플라이어 위상 시프트 회로에 기초하고, 다른 실시예는 RLC 스위치된 엘리먼트 위상 시프트 회로에 기초한다. 사인/코사인 멀티플라이어 회로는 2개의 조밀 지연 간격을 간의 시간(위상) 비율로 시프트된 사인파 타이밍 신호를 발생하도록 특정한 위상 시프트 각도의 사인 및 코사인을 표시하는 아날로그 전압과 함께, 조밀 지연 클럭의 사인파 변형을 이용한다. 한 실시예에서, 세밀 타이밍 발생기는 아날로그 코멘드 입력을 사용하고, 결과로서 양자화 전달 함수라기 보다 연속 전달 함수이다. 다른 실시예에서, 세밀 타이밍 입력은 디지털이고, 디지털 입력 코멘드와 관련된 정확한 타이밍을 발생하기 위해 디지털-아날로그 컨버터를 구동하는 메모리 디바이스를 통해 맵핑된다. 이 신호는 출력 지연 신호를 발생하도록 조밀 지연 신호와 결합되고, 2개 지연의 합이다. 한 실시예에서, 지연 발생기는 100 % 타이밍 커버리지를 허용하도록 2세트의 사인/코사인 발생기를 포함한다.

컴바이너 회로의 유익한 장점은 조밀 지연 신호가 세밀 타이밍 조건보다 더 큰 에러를 가질 수 있다는 것이다. 조밀 지연 신호는 수개의 세밀 지연 신호 사이에서 선택하도록만 사용된다. 세밀 지연 신호는 출력의 정밀도를 결정한다.

위상 시프터의 다른 실시예는 스위치되고 송출된 엘리먼트 위상 네트워크를 이용한다. 이 장치는 직접 디지털 입력을 취하지만, DAC 또는 사인/코사인 조사표를 필요로 하지 않는다.

본 발명의 한 실시예는 SiGe ASIC(칩)의 조밀 및 세밀 지연부를 실행하고, 랜덤 액세스 메모리(RAM) 및 디지털-아날로그 컨버터(DAC)가 ASIC 외부에 존재하도록 시스템을 분할한다. 이 실시예에서, 칩이 클럭 주파수에 무관한 정 전류로 흐르도록 차동 전류 스티어링 로직 및 차동 아날로그 증폭기에서 회로를 실행시키는 장점이 있다. 이것은 출력에 지터를 도입할 수 있는 온-칩 과도 현상을 최소화한다.

UWB 송수신기의 유일한 도전 중 하나는 안정하고 정확히 조절된 펄스, 전형적으로 30 피코세컨드(ps) 및 밀리세컨드(ms)이상 안정한 상판 간격을 필요로 하는 것이 아니라, 타이밍은 펄스에서 펄스까지 급작스럽게 변화하도록 할 필요가 있다는 것이다. 이 간격은 100 ns 정도일 수 있고, 실행 특정 표준 100 ns 프레이밍 간격에 대하여 천개당 파트 비율로 정확해지도록 요구된다. 본 발명은 이들 타이밍 필요 조건을 충족시킬 가능성을 설명하고, ASIC 형태에서 실행될 경우, 상대적으로 경제적인 UWB 시스템을 생산할 수 있다.

간단히 하기 위해, 본 발명은 다이아그램을 참조함으로써 설명되지만, 양호한 실행은 차동 회로를 사용하는 것이다. 다양한 입력 및 출력 신호는 차동으로서 도시되어 있다.

본 발명의 장점은 타이밍 펄스가 고 정밀도로 시간에 따라 정확하게 위치될 수 있다는 것이다. 결과적으로, 통신 기술의 진보는 실현될 수 있다. 예를 들면, 펄스 위치 변조를 이용하는 통신 시스템에서, 개인은 정상 주기에서 펄스의 타이밍을 더 정확히 위치시킬 수 있는 가능성의 장점을 가짐으로써 코딩 및 디코딩에서 달성될 수 있다.

또, 정밀한 포지셔닝이 전체 정상 주기에서 달성될 수 있기 때문에, 전체 주기는 통신용으로 이용될 수 있으므로, 통신 시스템의 채널화를 증가시킨다.

또, 레이더 및 모션 센서 응용에 실현된다는 장점이 있다. 출력 펄스의 더욱 정밀한 포지셔닝은 고 해상도 레이더 및 모션 센서 시스템을 허용한다.

본 발명의 다양한 실시예의 구조 및 동작 뿐만 아니라 본 발명의 특징 및 장점은 첨부하는 도면을 참조하여 후술한다.

도면의 간단한 설명

본 발명은 첨부하는 도면을 참조하여 설명된다. 도면에서, 유사 참조 번호는 동일하거나 기능적으로 유사한 소자를 표시한다. 또, 참조 번호의 맨 왼쪽 숫자는 참조 번호가 처음 나타내는 도면과 동일하다.

도 1a 및 도 1b는 임펄스 무선 송신기 및 수신기의 블록도로, 본 발명에 사용하는 예시적인 통신 시스템을 포함한다.

도 2a 및 도 2b는 각각 변조되지 않은 펄스 트레인 및 펄스의 정상 주기 발생을 도시하는 도면.

도 3은 본 발명에 사용하는 예시적인 임펄스 레이더 센서의 블록도.

도 4는 본 발명에 따른 정밀 타이밍 발생기의 블록도.

도 5는 도 4의 세밀한 지연 블록의 경우의 더 상세한 도면.

도 6은 도 4의 스텝의 흐름도.

- 도 7은 본 발명의 실시예에 따른 정밀 타이밍 발생기의 예시적인 실험을 도시하는 도면.
 도 8은 본 발명에 따른 ASIC을 사용하여 실험된 정밀 타이밍 발생기의 블록도.
 도 9는 본 발명의 실시예에 따른 조밀 타이밍 발생기를 도시하는 도면.
 도 10은 본 발명의 실시예에 따른 래치 인에이블 타이밍을 도시하는 도면.
 도 11은 본 발명의 실시예에 따른 래치 인에이블, 초기/최종 및 A/B 시스템 타이밍을 도시하는 도면.
 도 12는 본 발명의 실시예에 따른 콤비나 회로를 도시하는 도면.
 도 13은 본 발명의 실시예에 따른 세밀 타이밍 발생기.
 도 14는 도 13의 위상 동기 부프용으로 사용될 수 있는 예시적인 물리 위상 필터를 도시하는 도면.
 도 15는 도 12의 콤비나 회로의 기본 동작을 설명하는 타이밍도.
 도 16은 본 발명의 실시예에 따른 초기/최종 신호를 상세히 도시하는 타이밍도.
 도 17는 초기/최종 신호를 상세히 설명하는 타이밍도.
 도 18은 본 발명의 다른 실시예에 따른 다른 세밀 타이밍 발생기를 도시하는 도면.
 도 19 및 도 20은 본 발명의 다른 실시예에 따른 다른 세밀 타이밍 발생기를 도시하는 도면.
 도 21a, 도 21b 및 도 21c는 본 발명의 다른 실시예에 따른 E/L 합수없이 설계된 시스템의 코드 맵핑 및 타이밍 고려를 설명하는 도면.
 도 22는 본 발명의 다른 실시예에 따른 ASIC용 예시적인 S16a 차등 AND 게이트를 설명하는 도면.

실시예

1. 본 발명의 목적 및 설명

본 발명은 전형적으로 임펄스 무선 시스템용으로 필요한 매우 예민하고 정밀한 타이밍 신호를 발생하는 시스템 및 방법에 관한 것이다. 본 발명에 따라, 조밀 타이밍 발생기는 정상 프레임 간격 내의 조밀 시간 간격에서 조밀 타이밍 신호를 발생하는데 사용된다. 조밀 타이밍 발생기에 동기된 세밀 타이밍 발생기는 조밀 시간 간격 사이에 보관된 세밀 시간 간격 세트를 제공한다. 결합 회로는 조밀 타이밍 신호를 이용하여 출력을 구동하는 정밀한 세밀 타이밍 신호를 선택한다. 이 시스템은 우수한 장 시간 구동 성능을 제공한 전형적으로 안정한 기준 오실레이터 소스에 위상 동기되어 있다. 예시적인 응용에서, 이 시스템은 50 ns 설정 시간 이하로, 100 ns 프레임 내의 서브 나노초 펄스의 10 ps 근처 포지셔닝용 타이밍을 제공할 수 있다. 이 타이밍은 임펄스 무선 통신 및 레이더 장치 등에서 펄스의 의사 난수 코드 포지셔닝용으로 요구된다.

2. 본 발명의 중요성

본 발명을 상세히 설명하기 전에, 본 발명을 활용하는 2개 예시적인 시나리오를 설명하겠다. 이들 시나리오는 본 발명의 이해하는 잠재적인 응용의 예 및 목적으로서 제공한다. 본 발명이 이들 시나리오의 응용에 제한되는 것을 의도하지는 않는다. 사실, 넓은 의미에서, 본 발명은 정밀 타이밍 신호 또는 정밀 시간 지연 수단을 필요로 하거나 요구하는 어떤 시스템에서 총괄될 수 있다. 따라서, 본 발명은 고속 컴퓨터 응용 및 초광대역 통신 시스템에 매우 적합하다. 본 발명에 따른 시간 발생기에 의해 제공된 정밀도는 전술한 바와 같이 응용은 이러한 시스템에 한정되지 않더라도, 임펄스 레이더 및 통신 시스템에 매우 유익하다.

도 1은 초광대역(예를 들면, 임펄스 무선) 통신 시스템의 예를 도시하는 간단한 블록도이다. 도 1a를 참조하여, 임펄스 무선 통신 시스템은 송신기(104; 독립형 송신기 또는 트랜시버의 송신부) 및 도 1b의 수신기(108; 독립형 수신기 또는 트랜시버의 수신부)를 포함한다.

변조없이, 송신기(104)는 선정된 시간 간격으로 이루어진 주기적인 시리즈의 펄스를 송신한다. 데이터는 펄스가 위치한 시간을 변조함으로써 이 시리즈에서 변조된다. 이것은 펄스 위치 변조라 칭해질 수 있다. 도 2a는 변조되지 않은 펄스 트레인을 설명하는 도면이다. 도 2a에 도시된 예에서, 펄스는 참조 문자 T₀로 표시된 주기적인 간격으로 송신된다. 예를 들면, 변조되지 않은 펄스 트레인에 대해, 다른 주기가 선택될 수 있더라도, 각 펄스는 100 ns마다 발생하도록 조절될 수 있다. 본 명세서에서, 주기는 프레임으로서 칭해진다. 따라서, 각 프레임은 100 ns이다.

그러나, 펄스는 각 라인이 너무 많은 집중된 스펙트럼 파워를 포함하는 코음 라인 스펙트럼을 발생하기 때문에 일반적인 프레임 간격으로 송신되지 않는다. 이것을 피하기 위해, 펄스는 스펙트럼을 평활화하도록 펄스 위치를 무작위화하고 코음 라인을 확산하기 위해 프레임 내의 무작위 또는 의사 난수 간격으로 송신된다. 송신기와 수신기 사이의 동기화를 유지하기 위해, 이들 펄스는 펄스의 중앙 주파수에서 1/10 파동 내에 위치되어야 하고, 가장 우수한 성능으로 펄스는 프레임 내의 어디서나 배치되도록 충분히 예민해진다. 또, 프레임-프레임 포지셔닝은 최소 상관을 갖는다. 본 발명은 이 타이밍을 제공할 수 있는 타이밍 시스템에 관한 것이다.

통신 시스템에서, 신호에 대한 변조를 추가할 필요가 있다. 이것은 AM, FM, 펄스 위치 변조 및 참조된 특허에서 설명된 다른 방법으로 행해질 수 있다. 전형적으로, 펄스 위치 변조는 단순화 및 효율용으로 선택된다. 예는 도 2b에 도시되어 있다. 도 2b를 참조하면, T₀는 전술한 바와 같이 코드 오프셋에 의해 정의된 정상 펄스 위치이다. T₁는 변조로 인한 추가 오프셋을 갖는 펄스 위치이다. 전형적인 시스템은 데이터 = 0인 경우 위치 T₀ 및 데이터 = 1인 경우 위치 T₁에서 펄스를 송신할 수 있다. 이 시스템을 적응하기 위해, 타이밍 발생기는 노이즈에 대한 우수한 신호를 유지하기 위해 변조 시간 시프트보다

더 큰 정밀에 대한 타이밍을 제공할 수 있어야 한다.

추가 이점은 1개의 디지털 정보 비트를 표시하도록 하나 이상의 펄스를 사용함으로써 얻어질 수 있다. 각 비트에 관련된 펄스의 양상으로부터 수신된 신호는 통합 개인으로 형성된 프로세스에서 결합된다. 결합 프로세스는 기본적으로 각 비트를 펄스의 수 이상으로 각 펄스에 관련된 수신된 신호와 펄스 노이즈 에너지를 더한 합이다. 전압 신호-노이즈 비율은 합해진 펄스 수의 제곱근에 의해 개선된다. 적합한 합은 타이밍이 전체 통합(합) 시간에서 안정되고 정확해지는 것을 요구한다.

다시 도 1a를 참조하면, 시간 기준(108)은 정밀 타이밍 발생기(120)를 구동하여 장시간 안정 동작을 보장한다. 코드 발생기(112)는 각 새로운 시간 프레임용 새로운 시간 오프셋 코멘드를 제공한다. 시간 프레임 클럭(또는, 기준 클럭이라 칭함)은 타이밍 발생기로부터 코드 발생기에 제공된다. 데이터는 정밀 타이밍 발생기(120)에 공급되어, 데이터에 따른 타이밍을 변조한다. 타이밍 클럭 신호는 펄스(124)에 공급되어, 안테나(128)에 의해 송신되도록 RF 펄스를 발생한다.

도 1b는 예시적인 임펄스 무선 수신기의 블록도이다. 도 1b를 참조하면, 시간 기준(108)(수신기(104)의 108과 통합하거나 2배)은 전술한 도 1a의 송신기에서와 같이 장 시간 안정성을 제공하는 정밀 타이밍 발생기(120)를 구동한다. 이 경우를 제외하면, 시간 기준(108)은 주기성 및 시간 오프셋에서 송신기에 락(lock)되어야 한다. 코드 발생기(112)는 송신기를 구동하는 코드셋과 동일한 시간 오프셋 코멘드를 제공한다. 최종 타이밍 신호는 안테나(128)에 의해 수신된 신호 형태를 일치시키는 상관 템플릿 신호를 발생하는 템플릿 발생기(132)를 구동한다. (상관은 샘플링을 포함하고, 상관기/샘플러(136)의 간격 시간에서의 신호 통합을 포함한다. 1개 데이터 비트를 포함하는 펄스의 양상으로부터의 상관 신호는 합산 축적기(140)에서 합산된다. 축적기(140)의 출력은 전형적으로 데이터 비트가 1인지를 결정하기 위해 검출기(예를 들면, 비교기 : 144)에 의해 통합 사마귀의 말단에서 샘플화된다. 또, 상관 신호는 트랙킹 루프 필터(148)에 공급하여, 락 시스템에서 수신기 시간 기준(108)을 수신된 신호로 유지한다. 추가하는 상세한 내용 및 변화는 인용 참조 특허에서 발견될 수 있다.

이제 임펄스 레이더 부분 또는 모션 센서 응용에 대해 생각해 보자. 도 3은 초 광대역 레이더 센서를 설명하는 단순 블록도이다. 임펄스 레이더 센서는 타겟 쪽으로 펄스를 송신하고, 오프셋 시간에 의해 결정된 지연된 시간에 수신기에 의해 반사된 펄스를 수신함으로써 동작한다. 이 오프셋 시간은 레인지 게이트라 칭해진 민감도의 동등 레인지를 결정한다. 전형적인 임펄스 레이더는 노이즈에 대한 신호를 향상시키도록 다수의 펄스로부터 복귀 신호를 합산하므로, 동작 레인지는 제공된 펄스 에너지용으로 달성 가능하다.

도 3을 참조하면, 시간 기준(108)은 안정한 클럭으로 정밀 타이밍 발생기(120)를 구동한다. 코드 발생기(102)는 송신된 펄스의 코일 스펙트럼을 보급하는데 사용된 의사 난수 시간 오프셋을 공급하고, 다중 레이더의 동시 동작용으로 제공한다. 다중 레이더는 다른 코드 또는 다른 펄스 주파수를 사용하여 동작하도록 각각의 것을 설정함으로써 동일 영역에서 동작될 수 있다. 다른 방법은 참조된 특허에 설명되어 있다. 정밀 타이밍 발생기(120)는 코드 발생기 입력에 따라 펄스(124)에 타이밍 펄스를 제공한다. 펄스(124)는 타겟(304)으로 향한 RF 펄스(302)를 안테나(128)에 제공하고, 반사된 펄스(306)는 수신하는 안테나(128)에 의해 수신되어 상관기(136)에 공급된다. 또, 상관기(136)는 템플비 발생기(132)로부터 송신된 펄스의 시간으로부터 특정량을 지연한 템플비 신호를 공급한다. 이 지연은 시간 오프셋 블록(152)에 의해 템플비 발생기(132)에 제공된다. 템플비 신호와 수신된 신호와의 상관 결과는 펄스 합산 축적기(140)에 공급된다. 다중 펄스의 결과는 신호가 처리되고 검출되는 프로세스 회로(또는 컴퓨터 : 160)에 공급된다. 어떤 경우에, 신호는 간단히 표시되고, 다른 경우에 신호는 모션 또는 변화를 검출하기 위해 장시간 히스토리의 저장된 메모리로부터 감산된다. 또, 구조 및 알고리즘 뿐만 아니라 상세한 내용은 참조된 특허에서 발견될 수 있다.

따라서, 임펄스 무선 시스템 및 임펄스 레이더 시스템은 본 발명에 따른 고정밀 시간 기준에 이르는 2개의 시스템의 예이다. 독자는 여기에서 설명된 정밀 시간 기준의 응용이 이들 2개의 예시적인 시스템에 한정되지 않고, 사실 초 광대역 시스템의 응용에 한정되지 않는다는 점을 다시 상기한다. 여기에 제공된 설명을 읽은 후, 관련된 기술의 당업자들은 어떻게 다른 시스템 및 환경에서 본 발명을 실행하는지를 명백하게 할 수 있다.

3. 본 발명

도 4는 본 발명에 따른 정밀 타이밍 발생기(400)를 설명하는 블록도이다. 정밀 타이밍 발생기(400)는 전술한 도면의 블록(120)에 대응한다. 도 4로 돌아가서, 타이밍 발생기(400)는 조밀 타이밍 발생기(404), 세밀 타이밍 발생기(408) 및 콤바이너(412)를 포함한다. 시스템 클럭 신호(416) 및 타이밍 코멘드 입력(420)은 조밀 및 세밀 타이밍 발생기를 구동한다. 실시예에 따라, 시스템 클럭(416)은 타이밍 발생기(400)의 일부로서 자체 포함될 수 있거나, 외부 입력될 수 있다. 시스템 클럭(416)은 제1 주파수에서 CLK 신호를 발생한다. 타이밍 코멘드 입력(420)은 이후 길이로 설명한 바와 같이 특정한 지연값을 가져오는 데이터 워드이다. 조밀 타이밍 발생기(404)는 프레임 기준 신호(432) 및 조밀 타이밍 신호(428)를 발생한다. 조밀 타이밍 신호(428)는 프레임 기준 신호(432)의 간격을 상대적으로 조밀 시간 간격으로 분할한다. 세밀 타이밍 발생기(408)는 조밀 타이밍 간격을 더 작은 간격 또는 한 실시예에서 연속적으로 변하는 간격으로 분할하는 세밀 타이밍 신호(429)를 발생한다. 세밀 타이밍 발생기(408)는 일반적으로 조밀 시간 간격으로 모호성을 일으키는 몇몇 시간 천이를 생산한다. 콤바이너 회로(412)는 이 모호성을 해결하고 정밀 타이밍 출력(436)을 발생하도록 조밀 타이밍 신호(428)에 관련된 세밀 타이밍 신호(429)를 선택한다.

도 5는 세밀 타이밍 발생기(408)의 블록도이다. 클럭 신호(416)는 사인 발생기(504)를 통해 동일 주파수의 사인파 신호를 발생하는데 사용된다. 사인파는 구형파 디지털 신호로부터의 하모닉스를 제거하는 필터에 의해 전형적으로 형성된다. 그 다음, 클럭의 사인파 변형은 위상 시프터(508)로 공급된다. 위상 시프터(508)는 타이밍 코멘드 입력(420)의 세밀 시간 성분에 따라 사인파의 위상을 시프트한다. 디지털로 표기된 블록(512)은 위상 시프트된 사인파를 구형파 신호로 변환하고, 콤바이너(412)로 전송된다.

한 실시예에서, 세밀 시간 성분을 타이밍 코멘드 입력(420)의 목표한 위상 시프트의 사인 및 코사인을 표시하는 2개의 아날로그 DC 레벨 신호(정해진 위상 시프트 값의 지속시 고정이지만, 새로운 위상 시프트 값 일 때 변환)를 포함한다. 다른 실시예에서, 타이밍 코멘드는 추가로 결합되도록 이산 지연값 세트들 나 타내는 디지털 라인 세트이다. 이들 2개의 예는 도 13 및 도 18의 도식에서 더 상세히 설명하였다. 다른 위상 시프트 회로는 이 기술의 당업자에게 명백한 바와 같이, 본 발명의 광대하거나 특정한 특성의 장점으로부터 손상되지 않을 수 있다.

도 6은 타이밍 발생기(400)의 동작을 설명하는 흐름도이다. 도 4 및 도 5를 참조하면, 단계(604)에서, 시스템 클럭(416)은 제1 주파수에서 CLK 신호를 발생한다. 단계(608)에서, 조밀 타이밍 발생기(404)는 조밀 타이밍 신호(428)를 발생한다. 이 조밀 타이밍 신호(428)는 프레임 기준 신호(432)에 관련된 신호로, 타이밍 코멘드 입력(420)의 함수이다.

단계(612)에서, 세밀 타이밍 발생기(408)는 타이밍 코멘드 입력(420)에 따른 프레임 신호에 관계 차별로 배치된 일련의 세밀 타이밍 신호 천이를 발생한다.

단계(616)에서, 콤비나이너(412)는 조밀 타이밍 신호(428)에 따른 세밀 타이밍 신호 천이 중 하나를 선택하고, 최종 타이밍 신호(436)를 출력한다.

도 7은 정밀 타이밍 발생기(400)의 예시적인 실행을 도시하는 블록도이다. 타이밍 발생기(400)는 CLK 신호를 발생하는 시스템 클럭(416 : 전압 제어 오실레이터 또는 VCO로서 도시됨), 동기 카운터(704), 기준 신호 발생기(708 : 또는 기준 클럭 또는 REF CLK라 함), 위상/주파수 검출기(712), 위상 동기 루프(PLL) 필터(716), 비교기(720), 지연 워드 래치(728)를 포함한다. 세밀 타이밍 발생기(408) 및 콤비나이너(412)는 간단히 하기 위해 단일 블록으로서 도시되어 있다.

양호한 실시예에서, 카운터(704)는 시스템 클럭(416)에 의해 발생된 CLK 신호를 프레임 기준 신호(432)인 로우 비 신호로 분할한 동기 카운터이다. 또, 양호한 실시예에서, 비교기(720)는 8 비트 비교기이고, (지연 워드) 래치(728)는 8 비트 래치이다. 프레임 기준 신호(432)는 시간 간격을 정의하고, 프레임 간격이라 칭해진다. 프레임 간격은 카운터(704)의 최상위 비트의 주기에 의해 정의된다.

또, 카운터(704)는 카운트값(764)을 출력한다. 카운트값(764)은 조밀 시간 간격을 정의한다. 특히, 카운트값(764)은 현재 프레임에 발생하는 주기(436)의 수를 표시한다. 다시 말하면, 카운트값(764)은 현재 프레임의 개수로 인해 경과된 시간량을 표시한다.

사용자가 조밀 타이밍 신호(428)의 타이밍(즉, 양호한 실시예에서 조밀 지연 펄스의 발생 타이밍)을 선택하기 위해, 도시된 실시예는 비교기(720) 및 래치(728)를 사용한다. 목표한 조밀 시간 간격에 대응하는 카운트값(764)은 조밀 지연 워드(DC0 - DC7)로서 도면에 도시한 바와 같이 래치(728)로 로드된다. 비교기(720)는 카운터(704)가 VCO(416)의 펄스를 카운트할 때 카운터(704)의 값을 갖는 래치(728)에 래치된 DC0 - DC7의 값을 비교한다. 카운터(704)의 값이 래치(728)의 값과 일치할 때, 조밀 타이밍 신호(428)는 상태를 변경시킨다. 양호한 실시예에서, 비교기(720)는 조밀 타이밍 펄스의 형태에서 조밀 타이밍 신호(428)를 간단히 출력한다.

조밀 타이밍 신호(428)는 다음 간격에서 트리거하도록 세밀 타이밍 발생기(408)를 사용한다. 그 다음, 콤비나이너(412)는 타이밍 출력(436)을 발생한다.

고 정밀 타이밍 발생기를 실행하는 한 어려움은 고 주파수에서 안정하고 정확한 주파수 소스의 이용이다. 고 주파수 신호 발생기의 특히 다루기 어려운 특징은 시간 이상 표류하는 경향이다. 그러나, 고속, 고 해상도 또는 광대역 시스템에서, 고 주파수가 종종 요구된다.

본 발명에서, 타이밍 발생기(400)는 VCO(416)의 안정성을 유지하기 위해 위상 동기 루프(PLL)를 사용한다. 도 7에 도시된 실시예에서, PLL은 위상/주파수 검출기(712 : 간단히 위상 검출기라 함), REF CLK(708) 및 PLL 필터(716)를 포함한다. 정확성 및 안정성은 VCO(416)를 매우 정밀한 REF CLK(708)에 위상 락킹시킴으로써 제공된다. 예를 들면, 10 MHz와 같은 주파수에서, 가장 안정하고 정확한 기준 신호 발생기는 상업적으로 사용가능하다(예를 들면, 크리스탈 오실레이터).

위상 검출기(712)는 REF CLK(708)에 의해 발생된 기준 신호(766)로 동기 카운터(프레임 기준 신호(432))의 출력을 비교하고 동기화한다. 프레임 신호(432)가 펄스 반박 주파수(즉, 416 CLK 신호)로 분할되기 때문에, 위상 검출기(712) 및 REF CLK(708)는 매우 낮은 주파수에서 동작한다. 위상 검출기(712)는 여러 신호를 출력하고, PLL 필터(716)에 의해 수신된다. PLL 필터(716)는 VCO가 REF CLK(708)에 동기화되도록 VCO(416)를 조정한다. 양호한 실시예에서, 위상 검출기는 기술(예를 들면, 모토롤라 MC14046)의 당업자에게서 공지된 위상/주파수 형태이다. 이 검출기는 넓은 락-인 범위를 허용하고, VCO의 결정적 락-인을 보장한다.

정밀 타이밍 발생기(400)의 동작을 더 명확히 하기 위해, 다음 예를 고려한다. 100 ns 프레임 간격의 시스템에서, 발생기는 100 ns 프레임 신호 후에 56 ns 지연된 타이밍 신호를 생산하기 원한다. 100 ns 프레임 간격은 390.6 ps의 256 조밀 지연 간격으로 분할된다. 그 다음, 조밀 지연값은 21인 $(56 \cdot 100 / 256)$ 의 정수부일 수 있다. 세밀 지연값은 0.875의 나머질 수 있다. 세밀 지연값은 조밀 지연 비율로 사이클의 0.875를 선택하는데 사용될 수 있다. 따라서, 사인 조사표(후술함)로부터의 'In0'은 $\text{In0} = \sin(2\pi \cdot 0.875) = -0.707$ 일 수 있고, 코사인 표부터의 'In90'은 $\text{In90} = \cos(2\pi \cdot 0.875) = 0.707$ 일 수 있다. 전형적으로, 이들 값은 사인/코사인 조사표로부터 판독되고, 디지털-아날로그(DAC : 후술함)에 인가되며, 최종 아날로그 전압은 시간 지연 시스템(상세히 후술함)의 In0 및 In90 입력에 인가된다. 조밀 지연 시스템과 세밀 지연 시스템 사이의 고정 시간 지연 오프셋이 존재할 경우, 이것은 위상 각도 보정 팩터를 상기 식에 추가함으로써 설명될 수 있다.

도 8은 타이밍 회로 부분인 ASIC 칩(802)을 사용하여 실행되는 한 실시예의 도면이다. 도 8은 어떻게 시스템이 ASIC 및 성분 기술과 최적 일치로 분할될 수 있는지를 설명한다. 이 도면에서, 조밀 지연(404), 세밀 지연(408) 및 콤비나이너(412) 함수는 S16e 칩(802)에 있고, DAC, RAM 및 VCO 함수는 오프 칩

에 있다. S18a 프로세스의 파워를 타이밍 합수에 포커싱하는 동안, 이것은 DAC 및 RAM의 종래 기술의 최대 사용을 허용한다. 이것은 ASIC(802)의 민감한 타이밍으로부터 분리하는 RAM 및 DAC 과도 현상의 추가된 장점을 갖는다. 이 특징을 갖는 VCO(416) 입력을 유지하기 위해, 타이밍 및 프레임 클럭 출력은 차동 신호로, 지터에 영향을 미칠 수 있는 공통 모드 노이즈 커널링을 감소시킨다. 이들 신호는 간단히 하기 위해 이 도면에 다르게 도시되어 있지 않다.

추가 장점은 차동 형태로 ASIC 회로를 실행함으로써 얻어질 수 있다. 로직은 충분히 차동 전류 스티어링 로직으로 실행되고, 아날로그 회로는 접지 클럭 주파수에 무관한 정 전류를 흐르게 하도록 차동 증폭기 및 필터를 포함한다. 이것은 출력에 지터를 도입할 수 있는 온 칩 과도 현상을 최소화한다. 이들 회로는 이 기술의 당업자에게서 명백해질 수 있고, S18a에 적용될 수 있는 예시적인 회로는 몇가지 셀 라미트리에서 충분히 사용가능해질 수 있다. 그러나, 완벽하게 하기 위해, 예시적인 S18a 차동 AND 게이트는 도 22에 관련하여 후술하겠다.

도 6을 참조하여, 16 비트 지연값(808)은 프레임 기준 출력(432)의 각 사이클용 타이밍 시스템(800)에 입력되고, 타이밍 신호는 구해진다. 지연값(808)은 레지스터(876)에 저장된다. 최상위 비트(MSB)는 ASIC(802)의 조밀 지연 래치(936)로서 후술함)에 직접 제공된다. MSB는 조밀 지연 워드(840)(DC0 - DC7)(824)를 포함한다. 최하위 비트(LSB)는 세밀 지연 워드(DF0 - DF7)를 포함하고, IQ RAM(872, 871) 및 DAC(843, 845)를 통해 아날로그 레벨로 변환된다. B 신호(841)는 DF0 - DF7의 특정한 MSB이다.

ASIC 칩셋 버스(804)는 데이터 인(DIN), 시프트 클럭(SCLK) 및 칩 선택트(CS) 신호를 갖는 3 와이어 입력이다. 칩셋 버스(804)는 슬레이브 모드에서 동작하도록 만들어지고, SCLK는 외부 소스로부터 ASIC 모듈(802)에 제공된다. 칩 선택트 핀이 사용될 때, 도 9에 관련하여 후술한 바와 같이, 하이 데이터는 DIN 핀을 통해 내부 시프트 레지스터로 입력된다.

ASIC(802)는 외부 2.56 MHz 클럭(VCO(416))에 관련된 4개의 핀을 갖는다. 전형적으로, 20 MHz 내지 40 MHz 기준 클럭(708)은 VIN 핀(812로 도시됨)의 ASIC에 제공되고, 2.56 MHz VCO(416)는 다른 핀(일반적으로, 816로 도시됨)을 통해 제공된다. 이들 클럭 신호는 ASIC(802) 내부의 주파수/위상 비교기에 통과되어, PFDout 핀의 VCO 보정 신호(820)를 발생한다. 이 PFDout 신호는 신호와 기준 클럭(708)에 위상 락된 프레임 기준 출력(432)을 유지하기 위해 VCO(416)에 피드백된다.

클램핑 신호(828)는 ASIC(802)의 출력을 손상시키는 액티브 로우 신호로, 발생된 타이밍 펄스를 방해한다.

ASIC가 구성 시프트 레지스터(920 : 도 9를 참조하라)의 FE 비트로 값을 시프트시킴으로써 선택된 조밀 데이터 워드 및 제어 신호를 래치하는데 사용하는 2가지 모드가 있다. ASIC(802)가 FE 모드에 있을 때는 모든 프레임의 시작에서 래치한다. 이 모드에서, LE(래치 인에이블) 신호(832)는 모든 시간에서 로우로 유지해야 한다. ASIC가 FE 모드가 아닐 때, LE(832)는 외부에 제공된 래치 인에이블로서 사용된다.

A/B 입력(836)은 내부 세밀 지연 회로가 ASIC 내의 조밀 펄스를 지연하는데 사용되도록 선택하기 위해 사용된다. 이것의 최초 목적은 사용되는 저비용 및 최종 지지 부품을 허용하는 것이다. 예로서, A-DAC(843)가 설정되는 동안, B-DAC(848)은 사용되고, 역도 가능하다. 단지 한쌍의 DAC가 한 시간에 안정되도록 요구되기 때문에, 각 DAC 세트는 단일 논 펄스 세트의 DAC가 동작하도록 요구되는 속도의 절반으로 동작하도록 요구한다. A/B 회로에 의해 영향을 받는 입력만이 In0A, In90A, In0B 및 In90B 라인이다.

A/B 신호(836)는 플립플롭(854)에 의해 발생된다. 프레임 기준 출력 신호(432)는 플립플롭(855)의 클럭 입력에 인가되고, Q 출력은 플립플롭 입력에 공급된다. Q 출력은 ASIC 및 A 채널 IQ RAM(872)에 제공된다. A 및 B 채널이 펄스 패스로 기능하기 때문에, Q 출력은 인버터(856)에 제공되고, B 채널 IQ RAM(871)을 구동하는데 사용된다.

세밀 타이밍 채널(A 및 B)은 세밀 타이밍 신호(In0A, In90A, In0B 및 In90B)로 조밀 지연 워드(DC0 - DC7)를 지연하는 전파 지연을 도입한다. 이 지연은 한 쌍의 파이프라인 지연(860 및 868)을 통해 DC0 - DC7 및 E/L 신호(841)를 지연함으로써 보상된다. 따라서, 조밀 및 세밀 시간값은 플립플롭(855) 및 파이프라인 지연(860 및 868)에 대한 클럭 입력으로서 프레임 기준 출력 신호(432)를 사용하여 동기화된다.

A/B 합수를 사용하지 않음으로써 절약될 수 있다. 이 경우에, A/B 신호(836)는 디자이너의 선택에 의해 하이 또는 로우로 결합되고, 단지 하나 대응하는 DAC 세트는 필요하며, 파이프라인 지연 클럭(858 및 860)은 제거될 수 있다. 이 시스템 성능은 연속적인 코드 위치가 DAC 설정 시간에 더 밀접할 수 없다는 사실이 충격적이다. 모든 코드 위치가 LE 래치 모드에 도달할 수 있을지라도, 이 구성은 전형적으로 50 X의 코드 공간이 설정 시간 동안 표기된 단순한 시스템에 사용된다. 이러한 시스템에서, 지연 워드는 FE 신호의 상승 엣지에 래치되고, 프레임의 첫번째 50 X(100 ns 프레임의 50 ns)는 사용되지 않는다. 코드는 이 영역에 발생되지 않는다.

레지스터(876)로부터의 MSB는 조밀 지연 워드(724)를 포함하고, 8 비트 병렬 조밀 지연값을 ASIC(802)에 제공한다. 이 값은 후술한 바와 같이 ASIC 내의 세밀 지연 회로에 의해 발생된 세밀 지연값과 결합되도록 조밀 지연 원도우를 선택한다. 파이프라인 지연(860)은 여기에서 설명 관점이고 관련된 기술의 당업자에게서 명백해질 수 있는 방식으로 조밀 지연 워드(724)의 로딩을 프레임 기준 출력(432)과 동기화시키기 위해 제공된다.

ASIC(802)의 세밀 지연 회로에 대한 5개 아날로그 입력이 있다. In0A 및 In90A는 A 세밀 지연 회로에 대한 IQ(사인, 코사인) 입력이고, In0B 및 In90B는 B 세밀 지연 회로에 대한 IQ 입력이다. InRef(868)는 기준 전압을 IQ 입력에 제공하는 아날로그 신호이다. InRef는 다른 아날로그 입력 영역의 중간에 설정될 수 있다. 예를 들면, In0 및 In90이 1와 4 V 사이일 때, InRef는 2.5 V로 설정될 수 있다.

E/L(초기/최종) 신호(841)는 세밀 지연 회로의 내부 조밀 지연 펄스가 기준으로서 사용되도록 선택하여

제공된다. 후술한 바와 같이, ASIC 칩(802)의 내부에서, 조밀 지연 펄스는 절반 출력 사이클에 의해 지연된 신호의 변형을 형성하는 플립플롭을 통해 동작된다. 최초 조밀 지연 펄스는 초기 펄스로서 공급되어 있고, 지연된 변형은 최종 펄스로서 공급되어 있다. E/L 신호는 세밀 출력 지연을 기준 조밀 펄스가 최종 출력 지연의 생성을 위해 세밀 지연 회로에 명령한다. 이 신호의 타이밍은 IQ RAM(872)의 구성에 의존한다. E/L 회로없이, ASIC는 전체 세밀 지연 스텝에 걸쳐 사용가능한 단일 조밀 지연 펄스가 없기 때문에 전체 100 % 코딩 스텝을 커버할 수 없다. E/L 신호는 최초 조밀 지연 펄스가 커버할 수 없는 영역을 채우도록 다른 조밀 지연 펄스를 선택한다.

도 8에 도시한 설정에서, 세밀 지연의 디지털 값은 레지스터(876)의 하부 8 비트이다. 이들 디지털 값은 IQ RAM(872, 871)의 사이언 값 및 코사인 값을 조사하는데 사용된다. DAC(843 및 845)에 의한 아날로그 값으로 변환된다. 이들 아날로그 값은 후술한 바와 같이 세밀 지연을 발생하기 위해 ASIC(802)에 의해 사용된다.

예시적인 설정에서, 블록 신호(828)는 ASIC 출력이 인에이블되도록 하미로 고정될 수 있다. A/B 라인(836)은 아날로그 입력에 사용됨에 따라 각 프레임에 가진 하미, 로우 또는 토글링이다. LE 라인(832)은 로우로 고정되고, 직렬 바스는 FE 모드에 선택하도록 사용될 수 있다. 이것은 출력에 내부적으로 래치하도록 ASIC에 설정한다. 16 비트 디지털 지연 워드(876)는 지연을 생성하는 ASIC을 설정하는데 사용될 수 있다. 지연 워드(876)의 최상위 8 비트는 ASIC 조밀 워드 입력에 공급되도록 8 비트 조밀 워드(844)로서 직접적으로 사용될 수 있다. 최하위 8 비트는 IQ RAM(872)에 전송될 수 있는 어드레스를 포함할 수 있다. 특정한 어드레스를 I 및 Q RAM에서 발생하는 데이터는 2개의 다른 DAC에 공급될 수 있다. 2개의 다른 DAC는 0도 신호를 DAC 및 90도 신호를 DAC이다. IQ RAM에 시프팅된 데이터 테이블(IQ RAM 부분을 참조하라)에 로드될 때, 세밀 지연 워드의 최상위 비트는 ASIC의 E/L 입력(841)에 할당될 수 있다. 그 다음, ASIC는 값이 16 비트 지연 워드(808)에 의해 공급되는 것보다 앞치하도록 지연된 타이밍 출력(436)에서 펄스를 생성할 수 있다.

본 발명은 2개의 세밀 지연 시스템/회로(A 및 B)로 양호하게 실행된다. 2개의 세밀 지연 회로 중 한 회로는 설정되도록 할과 동시에 다른 회로가 사용된다. 이것은 동일 성능을 유지하는 저가 부품의 사용을 허용한다.

도 9는 본 발명의 양호한 실시예에 따라 더 상세히 조밀 타이밍 발생기(404)를 설명한다. 이 실시예는 다른 출력 비 및 다른 모드의 타이밍 발생기의 동작을 적용하는 특징을 포함한다. 도 9를 참조하면, 구성 시프트 레지스터(920)는 다양한 내부 상태를 설정하는데 사용된다. DIN 및 SCLK로 표기된 2개의 입력은 CS(칩 선택)에 의해 인에이블될 때, 각각 구성 데이터 및 레지스터에 데이터를 저장하는 관련된 클럭을 공급한다. S5 및 S6으로 표기된 2개의 비트는 각각 조밀 지연 시스템의 모듈 크기 및 관련된 분할 비를 제어하는 구성 비트이다. D0 및 D1 구성 비트는 기준 클럭에 인가된 분할 비를 제어하고, FE 비트는 지연 레지스터 래치 모드를 설정한다. SCLK 입력이 구성 시프트 레지스터(920)에 인가될 때, S5, S6, D0, D1 및 FE의 특표한 값은 이 기술의 당업자들에게서 명백해질 수 있는 바와 같이 DIN 입력에 직접 로 공급되고, 시프트 레지스터 포맷의 연속 위치에 저장된다.

도 9의 조밀 지연 시스템의 상세한 동작은 다음과 같은데, 기준 클럭(708)으로부터의 기준 신호는 버퍼(904)를 통해 통과하여 멀티플렉서(MUX : 908)에 수신된다. 또, 버퍼(904)의 출력은 각각 2로 나누어져 구성된 한쌍의 직렬로 접속된 플립플롭(912 및 916)을 통해 통과한다. 각 플립플롭은 자체의 출력을 제공한다. 플립플롭(912 및 916)의 출력은 MUX(908)에 수신된다. 그 다음, MUX는 D0 및 D1 입력에 따라 출력들 중 한 출력을 선택한다. 따라서, MUX는 직접 기준 클럭 중에서 이 클럭의 2로 나누어지고 4로 나누어진 변형을 선택할 수 있다. MUX의 출력은 기준 클럭 입력으로서 주파수/위상 검출기(PFD : 924)에 공급된다. 또, VCO(416)는 후술될 수 있는 선택가능한 분할 체인을 통해 진행하여 PFD(924)의 VCO 입력에 공급된다. PFD(924)의 출력은 위상 동기 루프 함수를 완성하기 위해 VCO 주파수 제어 입력을 구동하는 루프 필터(716 : 도 7를 참조하라)에 결합된 충전 펌프(CP : 948)를 구동한다.

차동 클럭 버퍼(928)는 차동 입력 VCO+ 및 VCO-를 수신한다(VCO 신호는 단일 VCO(426)로서 도 4, 도 5 및 도 7에 설명되어 있다). 클럭 버퍼(928)의 목적은 2.56 MHz 입력 신호의 보리 및 공동 모드 노이즈 거부를 제거하기 위한 것이다. 한 실시예에서, 이것은 ASIC(본 발명의 정밀 타이밍 발생기를 포함하는)에 대한 입력 신호이고, 접지 바운스 보리는 바람직해진다. 클럭 버퍼(928)의 출력은 다양한 온칩 회로를 구동하는 주요 클럭 신호 CLK이다.

CLK 신호는 가변 길이, 자유 진행, 동기 카운터인 동기 카운터(932)를 구동하는데 사용된다. 카운터의 유효 길이 및 최종 분할 비는 MUX(944)의 출력 비트로서 3개의 최상위 비트 중 한 비트를 선택함으로써 설정된다. MUX(944)의 출력은 프레임 신호 또는 프레임 기준 펄스(FRP : 964)라 칭해진다. FRP(964)는 6 비트, 7 비트 또는 8 비트의 동기 카운터(932 : MUX(944))를 통해 S5 및 S6에 의해 선택된 바와 같이) 중 하나이다. 그 다음, FRP는 접지 바운스 및 노이즈 컷팅을 최소화시키기 위해 차동 버퍼(968)를 통해 출력된다. S5 및 S6 구성 비트는 출력에 공급되는 카운터 비트를 선택한다.

전형적인 동작에서, 입력 VCO 클럭은 2.56 MHz일 수 있고, 분할 비는 256으로 설정될 수 있다. 이 경우, 분할된 출력 신호는 10 MHz이다. 이것은 10 MHz의 시스템 프레임 비를 발생한다. 유사한 방식으로, 128 또는 64의 분할 비는 각각 20 MHz 또는 40 MHz 시스템 프레임 비가 된다.

래치(936)는 조밀 지연 워드(DC0 - DC7), 초기/최종(E/L) 신호 입력 및 A/B 신호 입력을 수신한다. 이들 입력은 래치되고, 필요한 동작 시간 동안 일정하게 유지된다. 내부 스트로브(ITSB) 신호(966)는 래치(936)의 로딩을 허용한다. ITSB 신호(966)는 로직 게이트(969 및 970)를 통해, FE 구성 코맨드, 프레임 기준 펄스(FRP : 964) 및 래치 인에이블 LE 입력 신호에 기초하여 발생된다.

본 발명의 특징은 내부 프레임 기준 래치 모드이다. 이 모드에서, 새로운 지연값은 프레임 클럭 신호의 하강 엣지에 래치된다. 내부 프레임 기준 래치 모드를 사용하기 위해, FE는 하미로 시프트 레지스터(920)에 저장될 수 있고, LE는 로우로 유지될 수 있다(LE는 내부 프레임 신호 래치 모드를 바이패스할 필요가 있을 때 하미 또는 로우로 바이패스되는 외부 신호로서 회로에 간단히 제공될 수 있다). FE가 로우일 때, LE 신호의 하미 현이는 입력 데이터(즉, A/B, E/L 및 DC0 - DC7)를 래치한다. 따라서, 외부에

서 제어하는 LE 래칭 모드는 100 % 프레임 커버리지를 허용한다(100 % 프레임 커버리지는 모든 가능한 조밀 프레임값이 프로그램가능함을 의미한다). 이것은 조밀 시간 지연값에서 떨어진 설정 시간 준안정 효과를 유지하기 위해 이 외부 제어에 의해 필요할 때 이동하도록 설정 시간을 허용한다. 설정 시간은 LE 신호의 이동의 결과로서 이동한다. 그러나, 외부 회로가 입력 데이터를 암호하게 래칭하도록 프레임의 다른 시간에 LE 신호를 공급하는 것이 필요해진다. LE 신호의 위치는 온디-플라이 계산하거나 미리 계산할 수 있고, 관련된 조밀 및 세밀 지연값으로 기억할 수 있다.

LE 신호는 FE가 FRP(964) 대신에 로우일 때 래치를 입력하는데 사용된다. FRP가 데이터를 래칭하는데 사용될 경우, 프레임의 제1 2개 조밀 빈은 COP 필드 신호를 발생시킬 수 없으므로, 내부 블랭킹 신호 ILB는 1788 신호 후 2개 클럭 사이클을 COP를 블랭크한다. 또, COP 신호의 결합은 FOP 클럭 신호를 저지시킨다. ILB 신호는 클럭 지연 블록(956)에 의해 발생된다.

따라서, LE는 프레임의 어디서나 발생할 수 있는 비동기 입력이지만, LE 엣지 후의 2개 조밀 빈은 비교기(940 : 후술함)의 설정 문제로 인한 출력 필드 신호로 사용할 수 없다. 설정 시간을 머거지 않도록 타이밍 입력 위드와 LE의 위치를 조화시키는 것이 시스템 사용자에게 달려 있다. 한 실시예에서, 2개의 LE 신호는 사용될 수 있는데, 한 신호는 다른 신호로부터 적어도 2개의 조밀 지연 간격으로 지연된다. LE 신호 선택 비트는 조밀 지연 값으로 적합한 LE 신호를 선택하기 위해 조밀 지연 위드(DC0 - DC7)의 값에 따라 발생될 수 있다. LE 신호는 조밀 지연 위드에 대응하는 지연값 이전에 적어도 2개의 조밀 지연 간격이 있는 한 사용될 수 있다.

예를 들면, 도 10에서 설명한 바와 같이, 목표한 조밀 지연(조밀 지연 위드(DC0 - DC7)에 관련된 지연 값)이 프레임의 제1 절반에 있는 경우, LE는 프레임의 제1 절반에 어떤 조밀 지연값을 허용하는 래치 로드하는데 사용될 수 있다. 목표한 조밀 지연이 프레임의 제2 절반에 있을 경우, LE2는 사용될 수 있다. LE 위치에 대한 단지 2가지 선택으로, 연속적인 출력 필드 신호를 사이클 구분하는 최소 시간의 제한이 있음에 주목할 수 있다. 따라서, LE를 가진 로딩은 1/4의 필드를 사용하지 못하게 한다. 이것은 필드가 서로 1/2 프레임에 가까워지는 것을 방지한다. 필드가 서로에 대해 1/2 프레임보다 더 밀접하게 될 경우, LE에 대한 2개 이상의 가능한 위치는 시스템에 의해 제공된다.

비교기(940)는 조밀 지연 함수의 중심으로 형성한다. 비교기(940)는 S5 및 S6 비트에 의해 선택된 비트의 수에 따라 데이터 위드(DC0 - DC7)의 필요한 비트를 카운터(932)에 의한 비트 출력의 대응하는 수와 비교한다.

카운터(932)의 값이 래치(936)의 값과 일치할 때, 조밀 지연 필드(COP)는 발생된다. 전술한 바와 같이, S5 및 S6는 카운터의 유효 길이를 제어한다. 이에 대응하여, 이것은 목표한 비트만이 비교되도록 비교 동작의 길이를 제어해야 한다. 분할기(932)가 각각 256, 128 또는 64로 분할하도록 구성될 때, 비교기(940)는 8, 7 또는 6을 비교한다. 이 방식에서, COP는 프레임마다 발생될 수 있다.

비교기(940)의 출력은 플립플롭(948)에 의해 수신되고, CLK 신호에 의해 클럭된다. 이것은 최종 신호의 타이밍을 재동기화시킨다. 플립플롭(948)의 출력은 AND 게이트(952)에 의해 수신된다. 또, AND 게이트(952)는 클럭 지연 블록(956)으로부터 신호 ILB 및 블랭킹 신호(960)를 수신한다. 블랭킹 신호 입력(960)은 응용 조건에 따른 출력 필드의 생성을 막도록 사용자에게 사용될 수 있다. AND 게이트(952)는 조밀 지연 필드(COP)를 출력한다. COP는 1개의 VCO 시간 주기와 동일한 지속을 갖는다.

도 11은 LE, E/L 및 A/B 개념과 관련된다. LE 타이밍은 1102에서 각 프레임의 시작에서 조밀 지연 위드의 래칭을 조정한다. LE 타이밍은 세밀 지연 회로가 1104에서 프레임별 기준으로 사용될 수 있는 내부 조밀 지연 필드를 선택한다. 마지막으로, A/B 타이밍은 프레임-프레임 세밀 타이밍 설정을 조정한다.

도 12는 본 발명의 한 실시예의 세밀 지연 및 콤비너 함수의 더 상세한 설명을 도시한다. 전술한 바와 같이, COP 신호는 한 VCO 시간 주기의 지속을 갖는다. 이 시간 길이는 너무 짧아 외부 회로를 구동할 수 없다. 필드 스트레치(1204)는 충분히 긴 COP를 보장하는데 사용된다. 필드 스트레치는 COP 신호의 길이를 연장하도록 주요 클럭 신호 CLK(클럭 버퍼(928)로부터)를 사용한다.

COP 필드는 목표한 양만큼 COP를 스트레치하는 필드 스트레치(1204)에 의해 수신된다. 본 발명의 한 실시예에서, 필드 스트레치(1204)는 400 ps COP를 6.4 ns 필드로 스트레치한다. 필드 스트레치(1204)는 플립플롭(1212)에 결합되고, Q 출력은 플립 플롭(1208)의 D 입력에 결합된다. 스트레치된 COP는 플립플롭(1208 및 1212)에 의해 수신된다. 플립플롭(1208)은 CLK의 네가티브 엣지로 클럭되고, 플립플롭(1212)은 CLK의 포지티브 엣지로 클럭된다. 각 플립플롭은 MUX(1216)에 결합되고 초기/최종(E/L) 신호에 기초한 COP를 선택한다. 2개의 플립플롭은 각 프레임이 다른 지연값을 갖기 때문에 여기에서 사용됨에 주의한다. 사실, 지연값은 어디서나 400 ps 주기일 수 있다. E/L 신호는 보정 지연을 갖는 COP를 선택하기 위해 MUX(1216)에 의해 사용된다. MUX(1216)의 출력은 콤비너 플립플롭(1232)의 D 입력으로서 제공된다.

전술한 바와 같이, 정밀 시간 발생기는 도 12에서 1220 및 1224로서 설명된 2개의 세밀 시간 발생기(A 및 B)를 포함한다. 2개의 세밀 시간 발생기는 세밀 시간 발생기 입력용으로 필요한 설정 시간을 회측하는데 사용된다. 예를 들면, 세밀 시간 발생기(1220)는 제1 프레임 동안 세밀 시간 지연을 형성하는데 사용되지만, 다음 프레임의 입력은 세밀 시간 발생기(1224)에 공급된다. 이것은 본 발명이 프레임-프레임 기준의 프레임 내에서 모든 가능한 세밀 시간 지연 간격의 100 % 커버리지를 달성하도록 허용한다.

세밀 시간 발생기(1220)는 제1 프레임용 시간의 세밀 시간 부분을 형성하는데 사용되고, 세밀 시간 발생기(1224)는 다음 프레임용 세밀 시간 지연을 형성하는데 사용된다. 세밀 타이밍 주기가 (8 비트 DAC 또는 256로 분할된 100 ns로 가정하여) 1.6 ps 정도이기 때문에, 제1 프레임의 말단을 향해 필요한 세밀 시간 지연을 생성하기 위한 단일 세밀 시간 발생기의 시간이 충분하지 않고, 그 다음 프레임용 세밀 시간 지연이 프레임의 시작에 있을 경우 다음 프레임의 시간 요구를 수신한다.

세밀 시간 발생기 선택은 A/B 선택 신호(1219)를 사용하여 행해진다. 세밀 타이밍 지연 발생기(1220 및

1224)는 디지털-아날로그 컨버터(DAC)를 사용하여 실행된다. A/B 전역 신호(1219)는 100 % 프레임 커버리지를 제공하기 위한 능력을 유지하는 동안 더 느린 DAC의 사용을 허용하도록 제공된다. 이 동작 모드에서, 1220 또는 1224는 구동되고 설치됨과 동시에, 지연 출력은 다른 것으로부터 얻어진다. 다음 출력 펄스에 대해, 제1 세밀 타이밍 지연 발생기는 선택되고, 제2 세밀 타이밍 지연 발생기는 새로운 값을 수신하고 다음 프레임 세밀 시간 지연을 생성하기 위해 설치된다.

본 발명의 콤비너 회로는 NRX(1228)로부터 세밀 지연 출력 신호에 접속된 출력 입력 및 NRX(1216)로부터 조밀 지연 출력 신호에 접속된 데이터 입력을 갖는 엣지 트리거된 멀티플렉서(1232)이다. 따라서, 정밀한 타이밍은 세밀 지연 신호에 의해 결정되고, 조밀 지연 신호는 사용된 세밀 지연 현미를 선택하기 위해 제공된다. 이것을 달성하기 위해, 멀티플렉서(1232)의 설정 시간은 판독되어야 한다. 이것은 NRX(1216)를 통해 2개의 다른 CDP 신호 중 한 신호를 선택하는 E/L 신호에 의해 보장된다. E/L 신호를 결정하는 알고리즘은 후술하겠다. 멀티플렉서(1232)의 출력은 차동 출력 버퍼 회로(1236)를 구동하고, 세밀 지연 차동 출력(FDP+ 및 FDP-)을 생성하기 위해 집지 버퍼와 노이즈 컷팅을 최소화한다.

도 13은 세밀 타이밍 발생기의 한 실시예를 상세히 설명한다. 간단히 말하면, 이 세밀 시간 발생기는 정밀 지연 또는 위상 시프트용으로 사용된 1/Q 모듈러이다. 이 1/Q 위상 시프트 회로는 각도 추가를 기본적인 삼각 함수 관계를 충족시킨다:

$$\sin(A + B) = \sin A \cos B + \cos A \sin B.$$

여기에서, A는 위상 시프트 신호(1344 및 1348)의 시간 의존성을 표시한다:

$$A = 2\pi ft,$$

(f는 CLK 신호의 주파수이고, t는 시간이다). 각도 B는 이를 각각의 사인 및 코사인 레벨 신호의 형태에서 멀티플라이어(1320 및 1328)의 입력에 인가된 목표한 위상 시프트 각도이다:

$$\text{INCOS} = \cos B = \text{IND} - \text{InRef}$$

$$\text{INSIN} = \sin B = \text{IN90} - \text{InRef},$$

여기에서, InRef는 INCOS 및 INSIN을 단극 신호이도록 허용하는데 사용될 수 있는 DC 기준 신호이고, 회로 오프셋을 보정할 수 있다.

따라서,

$$\sin(2\pi ft + B) = \sin(2\pi ft) \cdot \text{INCOS} + \cos(2\pi ft) \cdot \text{INSIN}$$

여기에서,

$$\sin(2\pi ft + B) \text{는 출력 신호(1356)이고,}$$

$$\sin(2\pi ft) \cdot \text{INCOS} \text{는 멀티플라이어(1320)의 출력(1360)이며,}$$

$$\cos(2\pi ft) \cdot \text{INSIN} \text{는 멀티플라이어(1328)의 출력(1364)이다.}$$

초기에, 직렬로 접속된 3개의 로우패스 필터(1304, 1308) 및 RC 네트워크(RC1301/C1303)는 CLK 신호를 필터한다. 로우패스 필터(1304 및 1308)는 CLK 신호로부터의 고주파수 성분을 제거하고, 사인파를 출력한다. 플리 위상 필터(1312)는 사인파를 수신하기 위해 필터(1308)에 결합되고, 사인파($\sin(2\pi ft)$: 1344) 및 코사인파($\cos(2\pi ft)$: 1348)를 출력한다. 증폭기(1316)에서, 신호 $\text{INCOS} = \cos B$ 는 목표한 지연 위상 시프트 각도이다)는 수신된다. 또, 증폭기(1324)에서, 신호 $\text{INSIN} = \sin B$ 는 수신된다. 멀티플라이어(1320)는 INCOS 및 $\sin(2\pi ft)$ 를 수신하고, 발생 신호(1360)를 출력한다. 멀티플라이어(1328)는 INSIN 및 $\cos(2\pi ft)$ 를 수신하고, 대응하는 발생 신호(1364)를 출력한다. 멀티플라이어(1320 및 1328)에 결합된 합산기(1332)는 이들 각각의 발생 신호를 수신하고, $\sin(2\pi ft + B)$ 를 출력한다. 따라서, 합산기(1332)의 출력(1352)은 목표한 지연 B를 갖는 사인파이다. 비교기(1336)는 합산기(1332)로부터 $\cos(\omega t - tB)$ 를 수신하고, 1356에 도시한 비와 같이 목표한 지연 B를 갖는 구형파 출력을 출력한다. 회로 성능은 추가 위상 시프트를 도입할 수 있지만, 여기에 설명한 주의깊은 회로 설계 및 계산 단계는 이를 위상 시프트를 제거할 수 있다.

도 14는 도 13의 PFF 함수용으로 사용될 수 있는 예시적인 플리 위상 필터를 도시한다. 이 도면에서, C1305 및 R1303은 입력 신호(1340) 이전에 출력 신호(1344)를 45도 시프트하는 리드 네트워크를 형성한다. 이 출력 신호는 편의상 OUT00이라 표기된다. R1304 및 C1307은 입력 신호(1340) 이후에 출력 신호(1348)를 45도 시프트하는 라그 네트워크를 형성한다. 이 출력 신호를 편의상 OUT90이라 표기된다. 입력 구동은 로우 임피던스이어야 하고, 출력 로드는 위상 네트워크를 로드시킬 수 없도록 하이 임피던스이어야 한다.

도 15는 본 발명의 한 실시예에 따른 세밀 지연 및 콤비너 회로의 기본 동작을 설명하는 타이밍도이다. 도 13 및 도 15를 참조하여, CLK 신호 입력은 관련된 성분을 갖는 필터 회로(1304 및 1308)에 의해 필터된다. 이 필터는 구형파 CLK 신호로 하모닉스 에너지를 제거하고, 가까운 사인파 신호(1340)를 발생한다. 이 사인파 신호는 이 필터링의 결과로서 소정의 고정된 위상 시프트를 가질 수 있지만, 간단히 하기 위해 CLK와 동기하여 도시되어 있다. 사인파 신호는 위상 시프트 네트워크(1312, 1320, 1328, 1332)에 의해 시프트된다. 이것은 시프트된 사인파(1356)를 발생한다. 이 시프트된 사인파는 증폭기(1336)의 로직 클럭을 역 변환시키기 위해 필요한 경우 증폭되고 레벨 시프트된다. 슈미트 트리거 스타일 포지티브 피드백은 이 함수용으로 유용해질 수 있다.

FRP 신호(432)는 하나의 출력 펄스만이 발생할 수 있는 동안의 프레임 시간을 나타낸다. CDP 신호(428)는 조밀 지연 발생기의 출력이고, CLK와 동기된다. 이것은 CLK로부터 고정된 위상 오프셋을 가질 수 있지만, 간단히 하기 위해 동기하여 도시되어 있다. 지연된 펄스(429)는 CDP 신호가 하이로 전환한 이

후 세밀 지면 출력(1356)의 제1 상승 엿지를 형성한다. 출력 펄스의 세밀 포지셔닝이 우선적으로 세밀 지면 신호에 따라 변하고, 설정 시간이 충분한 동안 COP 신호 엿지의 지터가 미차 효과만을 약하게 할 수 있음이 평가될 수 있다. COP는 집중적이고 세밀 지면 신호의 엿지를 선택하도록 작동한다.

도 16은 도 9 및 도 12에 관련하여 전송한 초기/최종(E/L) 신호를 상세히 설명하는 타이밍도이다. E/L 신호는 100% 커버리지를 갖는 조밀 지면 간격(또, 슬롯 또는 빈이라 함)이다. 여기서나 세밀 지면 펄스(FDP)를 배치하는 데 사용된다. 세밀 지면 펄스 상승 엿지가 조밀 지면 간격 어디에서나 있기 때문에, 어떤 범위와 세밀 지면 값이 콤파이더 플립플롭(1232)의 중간장 범위에 너무 가까워 정확한 결과를 얻을 수 없다. 이 문제점을 해결하기 위해, 스트레치된 COP(펄스 스트레치(1204)의 출력)의 2개의 제로화된 변형이 형성된다. 도 12에 설명한 바와 같이, 초기 변형(E)은 CLK의 하강 엿지의 플립플롭(1212)에 의해 형성된다. 최종 변형(L)은 CLK의 상승 엿지의 플립플롭(1208)에 의해 형성된다. E 신호 또는 L 신호는 MUX 제어 신호로서 E/L을 사용하여 MUX(1216)에 의해 선택된다. MUX(1216)의 출력은 콤파이더 플립플롭(1232)의 0 입력으로서 사용된다.

도 16은 상기 신호의 타이밍 관계를 도시한다. CLK는 100 ns 프레임율 (데이터 워드(D00 - D07)를 통해) 256 조밀 지면 간격으로 나눈 결과인 주기가 100/256 ns(= 390 ps)인 출력 신호이다. S00P(T)는 지면 시간 T 동안 스트레치된 조밀 지면 펄스이다. 지면 시간 T는 값 $T, 0 < T < 2560$ (내부 레지터 모드에서) 프레임의 시작에서 (조밀 데이터 워드(D00 - D07)를 통해) 레지(936)로 입력됨을 의미한다. E(T)는 T가 로드될 경우에 초기 펄스이다. L(T)는 T가 로드될 경우에 최종 펄스이다. 또, 도시한 L(T-1)은 T-1을 사용할 경우 최종 펄스이고, E(T+1)은 T+1을 초기 펄스이다.

특표한 출력이 조밀 지면 슬롯의 제1 1/4에서 발생될 경우, 세밀 지면 MUX(1228)의 각 상승 엿지는 도 16에서 F0로 표기된 라인의 빗금 영역에 있을 수 있다. 시간 T의 제1 1/4에 있는 FDP 상승 엿지에서, L(T-1)이 0 입력으로서 플립플롭(1232)에 사용될 수 있음을 알 수 있다. 이것은 레지(936)가 T-1로 로드되고, E/L은 L을 선택하도록 설정되는 것이 필요하다.

특표한 출력이 조밀 지면 슬롯의 중간 절반에서 발생될 경우, 세밀 지면 MUX(1228)의 각 상승 엿지는 도 16에서 F1로 표기된 라인의 빗금 영역에 있을 수 있다. 시간 T의 중간 절반에 있는 FDP 상승 엿지에 대해, E(T)가 0 입력으로서 1232에 사용될 수 있음을 알 수 있다. 이것은 레지(936)가 T로 로드되고 E/L이 E를 선택하도록 설정되는 것이 필요하다.

특표한 출력이 조밀 지면 슬롯의 최종 1/4에 있는 경우, 세밀 지면 MUX(1228)의 각 상승 엿지는 도 16에서 F2로 표기된 라인의 빗금 영역에 있을 수 있다. 시간 T의 최종 1/4에 있는 FDP 상승 엿지에 대해, E(T)가 0 입력으로서 1232에 사용될 수 있음을 알 수 있다. 이것은 레지(936)가 T로 로드되고 E/L이 L을 선택하도록 설정되는 것이 필요하다.

전송은 플립플롭(1232)의 출력이 0 입력으로부터 적어도 1/4의 조밀 지면 시간으로, 어떤 설정 또는 유지 위반을 포함을 보장한다.

전파 지면, 사인파 컨버터에 대한 클럭의 위상 시프트 및 다른 소스로 인한 세밀 지면 발생기(1220, 1224 및 1228)에서 지면이 고정된다. 이들 지면은 중간정 점에 놓인 소정의 어드레스 위치에 이 점이 놓이도록 사인/코사인 RAM 표를 조정하고 결정된 고정 오프셋을 추가함으로써 교정을 사용하여 제거된다. 중간정 점은 E/L을 설정함으로써 E를 발견한 다음, 디지털 세밀 지면값을 변화시키고 동시에, FDP를 감시한다. 세밀 지면의 소정 값으로, 출력 FDP는 하나의 조밀 지면과 동일한 시간을 점프할 수 있다. 이 점은 제로 시간 지연용으로 필요한 사인 및 코사인값을 제공한다. 이 에러는 오프셋을 디지털 세밀 지면에 (조밀 지면 간격 당 세밀 지면 빈의 수를 범으로 하여) 추가하거나 위치에 대한 제로 점의 어드레스 값이 상기 교정 절차에서 발견되도록 사인/코사인 RAM의 내용을 교대로 함으로써 보정될 수 있다.

또, 사인/코사인 RAM 또는 사인 신호와 코사인 신호 사이의 불완전한 90도 위상 시프트 또는 파형의 이상적 사인 함수로부터의 변형으로 인한 비선형성 또는 주기적 에러와 같은 다른 에러를 보정할 수 있다. 이것은 보정 영역을 지나가고 전송한 이상적 사인 및 코사인값 대신에 적합한 RAM의 보정값을 저장함으로써 달성될 수 있다.

다른 실시예에서, 더 간단한 E/L은 제로 디지털값이 조밀 지면으로 클럭 펄스의 1/4를 발생하는 클럭을 형성하도록 조밀 지면 시간의 1/4과 동일한 양의 IQ RAM의 내용을 시프트시킴으로써 달성될 수 있다. 이 시프트는 전송한 보정 단계에 추가된다.

RAM 어드레스 제로에서 최종 클럭 엿지는 도 17에서 A로 표기된다. 이것이 행해질 때, 세밀 지면 클럭의 상승 엿지가 도 17의 라인 SE의 빗금 영역에 존재하도록 특표한 세밀 지면이 각의 제1 절반에 있을 경우, T의 값은 전송한 바와 같이 조밀 지면용으로 로드될 수 있고, E(T)는 0 입력으로서 사용될 수 있다. 특표한 세밀 지면이 제2 절반에 있을 경우, 도 17의 SL에서와 같이, T의 값은 로드될 수 있고, L(T)는 사용될 수 있다. T 값만이 사용되고 E/L 신호가 레지스터(876)로부터의 세밀 지면값의 상부 비트임에 주의한다. 또, 이 스킴은 플립플롭(1232)의 출력이 어떤 설정 또는 유지 위반을 0 입력으로부터의 적어도 조밀 지면 시간의 1/4임을 보장한다.

도 18은 세밀 타이밍의 다른 IQ 위상 시프트 해결 방법을 설명한다. 디지털 CLK 입력은(1804가 도 13의 1304 - 1308와 동일함에 주목한다) 필터링함으로써 사인파로 변환된다. 이 클럭은 1808, 1812에 버퍼될 수 있고, 2개의 아날로그 멀티플라이어(1816, 1820)에 공급된다. 멀티플라이어(1816, 1820)는 특표한 위상 시프트 각도($\ln 0$ 및 $\ln 90$)의 사인 코사인을 나타내는 DC 레벨에 의해 제어된다. 그 다음, 멀티플라이어(1816, 1820)의 출력은 멀티플라이어에 공급된 각각의 사인값 및 코사인값에 비례한 상대 전력을 갖는 동상 사인파이다. 버퍼(1832, 1836)는 R 및 C를 포함하는 RC 네트워크에 공급될 때, 멀티플라이어 출력이 제로 근처 임피던스를 갖는 것을 보장하도록 사용된다. 상부 사인파는 점 A에서 점 B까지 45도 뒤떨어진다. 하부 사인파는 점 C에서 점 D까지 45도 앞선다. 결과는 도 13에서와 동일한 수학적 기초한 위상 시프트를 형성하는 90도 위상 차가 있는 2개의 사인파이다. 그 다음, 합산된 신호(1840)는 RC 회로의 로드를 피하기 위해 1844에서 증폭된 고임피던스이다. 이 신호는 비교기(1846)(도 13에서 슈미트 트리거(1336)에 의해 실행된 동등 함수를 참조하라) 및 사인파를 디지털 신호로 변환하는 다른 높은 게인

단에 공급된다.

도 19는 다른 위상 시프트 입력(568)을 도시한다. 이 실시예에서, 타이밍 코멘드 신호는 각 위상 시프트 단계를 나타내는 개별 세트의 디지털 신호이다. 이들 같은 소정의 시스템에서 편의상 이전 가중값이 되도록 구성되지만, 이것은 필수적인 것은 아니다. 한 실시예에서, 메모리 디바이스는 실제 세트의 위상 시프트(0, ..., n)에 대한 정밀한 타이밍 코멘드값(1676으로부터의 LSB(0 - 0FN-1))을 제공하는 것이 포함된다. 이들 값(0FN - 0FN-1)은 개별 디바이스 제조의 교정 단계 동안 계산될 수 있고, 이 디바이스의 메모리에 저장된다.

도 19에서, 입력 신호(1904)는 위상 시프트가 없는 사인파이다. 신호(1904)는 각 위상 시프트(1908)를 통해 통과하고, 이 단의 디지털 코멘드 입력(00 등)에 따라 추가 위상 시프트를 축적한다. 출력 신호(1916)는 단(1908) 모두로부터의 위상 시프트의 합을 갖는 사인파이고, 각 단은 각 디지털 코멘드 00 - 0FN-1 비트 입력에 따른 위상 시프트에 기여한다.

도 20은 도 19에 사용될 수 있는 예시적인 위상 시프트 단(1908)을 도시한다. 도 20에서, 입력 신호(1904)는 버퍼(2004)에 의해 버퍼되고, 2005에서 일반적으로 도시한 다음 RLC 네트워크에 공급된다. 이 네트워크는 1904에서 입력 신호의 사인파 주파수 근처에 공진 회로를 형성한다. 이 회로의 Q는 이상적으로 1, 즉 $R = XL = XC$ 근처에 있고, 여기에서 R은 R2001의 값이며, XL은 L2001의 유도 저항이며, XC는 C2001의 유도 저항이다. 이 경우 Q는 위상 시프트 코멘드의 변경에 관련된 과도 현상에 응답하여 설정 시간을 최소화시키는 것이 바람직해질 수 있다. 또, RLC CKT(2005)의 사용은 성분 허용 오차 및 흐름에 대한 민감도를 최소화한다.

트랜지스터(Q2001)는 스위치로서 동작된다. Q2001이 오픈일 때, 2008에서 신호의 위상은 R2001, C2001 및 L2001에 의해 결정된다. Q2001이 온(폐쇄)일 때, C2002는 병렬로 추가되고, 회로를 비동조하여, 위상을 시프트시킨다. 실제로, 우수한 동작을 위해, 2개의 위상 시프트 상태는 2008에서 신호의 진폭이 양 위상 상태와 동일하도록 조정될 수 있다. 이 동작은 일반적으로 트랜지스터 Q2001 및 C2002를 포함한다. Q2001은 기생 캐패시턴스가 낮은 디바이스일 수 있다. 최고 주파수에 관한 동작을 연장하기 위해, GaAs MESFET 디바이스는 (NE76118과 같이) 사용될 수 있다(이 형태의 위상 시프트 회로는 120 MHz의 사인파 주파수로 발명자에 의해 동작된다). 이것은 18 MHz까지 저 노이즈 전단부 증폭기용으로 사용된다고 생각되기 때문에, 이들 디바이스의 특별한 용도이다. 이들 데이터 시트는 디지털 디바이스로서의 용도로 특징화되지 않으나, 0.1 pF 기생 캐패시턴스로 인해 이 용도를 위한 이상적 디바이스에 가깝게 만든다. 전형적으로, 이산 FET 및 트랜지스터는 더 큰 기생 캐패시턴스를 갖지만, ASIC 실행에서, 매우 작은 접합, 종래의 FET 등은 기생 캐패시턴스를 최소화시키도록 특성화될 수 있다.

다수의 변화는 가능하고, 예를 들면 스위치는 용량 경로보다 유도 경로에 배치될 수 있고; 180도 위상 시프트는 반전된 신호를 선택함으로써 달성될 수 있다. RLC 네트워크는 에미터 또는 증폭기의 콜렉터 회로로 구성될 수 있고, 몇몇 스위치된 캐패시터는 특히 저값 위상 시프트용 하나의 RLC 회로에 결합될 수 있다. 이들 변화는 예를 들어 소개된다. 다수의 다른 변화는 기술의 당업자들에게 의해 명백해질 수 있을 것으로서, 본 발명의 범위 내에서 가능하다.

시스템은 E/L 함수없이 설계될 수 있다. 이 시스템은 약간 덜 복잡해질 수 있고, ASIC 실행에서 실질적으로 명백해지지만, 이산 실행에서 중요해질 수 있다는 장점이 있다. 코드가 콤팩트나 플립플롭(1232)에 가깝게 배치되고, 준안정 점은 사용되지 않는 것이 총적이다. 이것은 도 21a의 '허용된 코드 위치'의 영역에서 설명한 바와 같이, 반복적인 '코딩' 형태 코드 유효 패턴이다.

도면에 도시한 바와 같이, 빗금 반복 주기(2102)는 CLK 주기와 동기화되지만, CLK의 하강 엣지에 인접한 준안정 점을 피한다. 한 프레임 간격은 몇몇 코드로 도시되어 있지만, 수백 코드는 단일 프레임에 맵할 수 있다. 그러나, 이 형태의 코드 패턴은 채널화 코드의 상관 특징을 손상시키지 않도록 맵할 수 있다. 이러한 맵핑 배치는 도 21b에 설명되어 있다. 코드(2104)의 선택 세그먼트는 지연 공간 빈이 100 % 커버리지인 공간의 1/2 정도이도록 지연 공간의 세그먼트를 선택적으로 맵핑된다. 목록으로 만들어진 예시적인 코드 위치(1 - 10)는 시간 위치(2106 : 단일 프레임당 0 - 100 ns)에 그려진다. 코드 위치(6)는 55 - 60 ns 사이의 간격에 맵핑되고, 방출된 펄스(2108)는 이 코드 맵핑에 따라 정해진다.

이 상황에서, 상관 및 자체 상관 특징은 도 21c에 도시한 바와 같이 2개의 양식으로 분석될 수 있다. 2개의 패턴(2110과 2112) 간의 어떤 시간표용으로, 2개의 영역: 각 코딩 '핑거'용 종점 영역(B) 및 2개의 비종점 영역(A 및 C)이 있다. 종점 영역 B에서, 코드 상관 특성은 맵핑에 갇혀 있다고 가정하여 종래의 테스트 방법 또는 수학을 사용하여 분석될 수 있다. 이것은 코드 맵핑에 갇혀 있는 동일 순서에서 상관된 신호로부터 증가 빈을 갖는 하나 신호 라인업으로부터의 증가 빈(n, n+1, n+2...) 때문이다. 비종점 영역(C)에서는 상관이 발생하지 않는다. 제공된 시간표에서, 사이트 일부만이 상관할 기회를 가질 수 있고, 이를 대응하는 갇혀 있는 맵핑외에 사이트 라인 업은 없다. 따라서, 상관은 갇혀 있는 맵핑과 동일해야 한다.

이 장점의 불리한 조건은 빈이 1/2 크기 정도로, 많은 사용가능한 동일 크기의 1/2 정도를 의미한다. 빈은 상관 특성의 파형보다 더 크게 유지되어야 한다. 통상적 결과는 성능이 약간 열락하지만, 하드웨어에 경미한 제약에 걸릴 수 있다.

도 22는 본 발명의 ASIC 실행에서 노이즈를 최소화하는데 사용될 수 있는 전형적 전류 스테어링 로직을 설명하는 대표적인 차동 AND 게이트이다. 회로는 2개의 차동 쌍(Q1-Q2 및 Q3-Q4)을 포함한다. 2개의 차동 입력 쌍(AP, AN 및 BP, BN)이 있다. 2개의 방출기 팔로워 및 레벨 시프터 단(Q5 및 Q6)은 차동 단에 따른다. Q7 및 Q8은 다른 레벨 시프터를 제공한다. AMP 및 ANN은 (Q1 및 Q2와 같은)로직의 다음 레벨의 상부 단을 구동하는데 사용된다. OMP 및 ONN은 (Q3 및 Q4와 같은)로직의 다음 레벨의 하부 단을 구동하는데 사용된다. Q10 및 Q11은 방출기 팔로워 및 레벨 시프터를 전류원이다. 모든 전류원은 제어 전압 VCS에 바이어스된다.

동작에서, 전류원(Q9)에 의해 발생된 전류는 AP가 AN에 대해 포지티브이고 BP가 BN에 대해 포지티브일 때 리로 향하고, 그렇지 않으면 R2로 향한다. 이것은 AP 및 BP가 하이일 때만 ONN(및 ONN)보다 더 포지티브

브인, ORP(및, ORP)가 된다. 이것은 정의에 의해 AND 게이트이다.

전류가 합성, 오프로 R1 또는 R2로 정확히 합하기 때문에, 회로로 오프 전류는 전원 공급 전류 변화로 인한 낮은 과도 현상을 발생하는 입력에 무관하다. 이 개념은 ASIC 실험에서 공급 전압의 사용을 최적화시키기 위해, 3개의 로직 레벨 및 3개의 출력 레벨을 갖도록 연장될 수 있다.

4. 결론

전술한 본 발명의 다양한 실시예는 예를 들어 설명한 것이지 한정되는 것은 아니다. 다양한 형태 변화 및 상세한 설명이 청구항에 정의한 바와 같이 본 발명의 정신 및 범위를 이탈하지 않고 만들어질 수 있음을 관련 기술의 당업자들에게서 명백해질 수 있다. 다른 이유들 중에서, 이것은 관련 기술 내의 개발 기술 및 함축에 비추어 설명된다. 따라서, 본 발명은 전술한 어떤 예시적인 실시예에 제한되지 않지만, 다음의 청구항과 이것에 상응하는 것에 따라 한정될 수 있다.

(57) 청구의 범위

청구항 1

클럭 신호를 수신하여 상기 클럭 신호의 함수로서 프레임 기준 신호를 출력하는 회로와,

제1 입력 타이밍 코멘드 및 상기 클럭 신호를 수신하기 위한 제1 타이밍 발생기와, 상기 제1 타이밍 발생기는 정상 주기를 갖는 조밀 타이밍 신호 및 상기 정상 주기에 관해 정밀한 시각에 일어나는 천이를 발생하며, 상기 정상 주기는 상기 프레임 기준 신호의 함수이고, 상기 시각은 상기 제1 입력 타이밍 코멘드 및 상기 클럭 신호의 함수이며,

제2 입력 타이밍 코멘드 및 상기 클럭 신호를 수신하기 위한 제2 타이밍 발생기와, 상기 제2 타이밍 발생기는 상기 입력 타이밍 코멘드 및 상기 클럭 신호의 함수로서 적어도 하나의 세밀 타이밍 천이를 발생하고,

상기 프레임 기준 신호에 관한 높은 순간 정밀성을 갖는 정밀한 타이밍 신호를 출력하도록 상기 적어도 하나의 세밀 타이밍 천이 중 하나를 선택하도록 상기 조밀 타이밍 신호를 사용하기 위한 결합 회로를 포함하는 정밀 타이밍 발생기.

청구항 2

정밀 타이밍 신호를 발생하기 위한 방법으로서,

클럭 신호의 함수로서 프레임 기준 신호를 생성하는 단계와,

정상 주기를 갖는 조밀 타이밍 신호 및 상기 정상 주기에 관해 정밀한 시각에서 발생하는 천이를 발생하는 단계와,

제2 입력 타이밍 코멘드 및 상기 클럭 신호의 함수로서 적어도 하나의 세밀 타이밍 천이를 발생하는 단계와,

상기 적어도 하나의 세밀 타이밍 천이를 중 한 천이를 선택하도록 상기 조밀 타이밍 신호를 사용하는 정밀 타이밍 신호를 출력하는 단계를 포함하고,

상기 정상 주기는 상기 프레임 기준 신호의 함수이고, 상기 시각은 제1 입력 타이밍 코멘드 및 상기 클럭 신호의 함수이며,

상기 정밀 타이밍 신호는 상기 프레임 기준 신호에 관한 높은 순간 정밀을 갖는 방법.

청구항 3

제1 주파수를 갖는 클럭 신호를 발생하는 시스템 클럭과,

상기 클럭 신호 및 타이밍 코멘드 입력을 수신하여, 프레임 기준 신호 및 조밀 타이밍 신호를 발생하고, 상기 프레임 기준 신호의 간격을 상대적으로 조밀 타이밍 간격으로 분할하는 조밀 타이밍 발생기와,

상기 클럭 신호 및 상기 타이밍 코멘드 입력을 수신하여 세밀 타이밍 신호를 발생하고 상기 프레임 기준 신호의 간격을 상대적으로 세밀 시간 간격으로 분할하는 세밀 타이밍 발생기와,

정밀 타이밍 신호를 발생하도록 상기 세밀 타이밍 신호 및 상기 조밀 타이밍 신호를 사용하는 콤바이너를 포함하는 정밀 타이밍 발생기.

청구항 4

제3항에 있어서, 상기 세밀 타이밍 신호는 상기 조밀 타이밍 간격을 더 작은 간격으로 분할하는 정밀 타이밍 발생기.

청구항 5

제3항에 있어서, 상기 세밀 타이밍 신호는 상기 조밀 타이밍 간격을 연속적인 가변 간격으로 분할하는 정밀 타이밍 발생기.

청구항 6

제3항에 있어서, 상기 세밀 타이밍 발생기는

상기 클럭 신호를 수신하여 상기 제1 주파수를 갖는 사인파 신호를 발생하는 사인 발생기와,

상기 사인파 신호 및 상기 타이밍 코멘드 입력을 수신하고, 위상 시프트를 갖는 위상 시프트된 사인파 신호를 발생하도록 상기 타이밍 코멘드 입력의 세밀 타이밍 성분에 기초한 상기 사인파 신호를 위상 시프트시키는 위상 시프터와,

상기 위상 시프트된 사인파 신호를 구형파 신호로 변환하는 컨버터를 포함하고,

상기 구형파 신호는 상기 세밀 타이밍 신호를 포함하는 정밀 타이밍 발생기.

형구항 7

제6항에 있어서, 상기 타이밍 코멘드 입력의 상기 세밀 타이밍 성분은 상기 위상 시프트의 사인 및 코사인 값을 표시하는 2개의 아날로그 직류 레벨 신호를 포함하는 정밀 타이밍 발생기.

형구항 8

제6항에 있어서, 상기 타이밍 코멘드 입력의 상기 세밀 타이밍 성분은 추가로 결합되는 2개의 미산 지연 값을 표시하는 2개의 디지털 라인들 포함하는 정밀 타이밍 발생기.

형구항 9

제3항에 있어서, 상기 세밀 타이밍 신호는 상기 타이밍 코멘드 입력에 따라 상기 프레임 기준 신호에 비례하여 적시에 놓여진 일련의 세밀 타이밍 신호 현이를 포함하는 정밀 타이밍 발생기.

형구항 10

제9항에 있어서, 상기 콤비네이션은 상기 조밀 타이밍 신호에 따라 상기 세밀 타이밍 신호 현이 중 하나를 선택하고, 상기 정밀 타이밍 신호를 출력하는 정밀 타이밍 발생기.

형구항 11

제3항에 있어서, 상기 조밀 타이밍 발생기는

상기 클럭 신호를 수신하고, 상기 조밀 시간 간격을 정의하는 클럭 카운트값을 발생하도록 상기 클럭 신호의 펄스를 카운트하며, 상기 클럭 신호를 상기 프레임 기준 신호를 포함한 낮은 비율 신호로 분할하는 카운터와,

목표한 조밀 시간 간격과 일치하는 소정의 카운트 값을 저장하는 레지와,

상기 카운터가 상기 클럭 신호의 상기 펄스를 카운트함에 따라, 상기 소정의 카운트 값을 상기 클럭 카운트값과 비교하는 비교기를 포함하고,

상기 비교기는 상기 클럭 카운트 값이 상기 소정의 카운트 값과 일치하는 경우 상기 조밀 타이밍 신호의 상태를 변경하는 정밀 타이밍 발생기.

형구항 12

제11항에 있어서, 상기 조밀 타이밍 신호는 조밀 타이밍 펄스의 형태로 상기 비교기로부터의 출력인 정밀 타이밍 발생기.

형구항 13

제11항에 있어서, 상기 조밀 타이밍 신호는 상기 세밀 타이밍 발생기가 다음 간격에서 트리거할 수 있도록 사용된 정밀 타이밍 발생기.

형구항 14

제11항에 있어서, 상기 시스템 클럭은 전압 제어 오실레이터(VCO)를 포함하는 정밀 타이밍 발생기.

형구항 15

제14항에 있어서, 상기 VCO의 안정성을 유지하도록 위상 동기 루프를 더 포함하는 정밀 타이밍 발생기.

형구항 16

제15항에 있어서, 상기 위상 동기 루프는

상기 프레임 기준 신호 및 기준 클럭에 의해 발생된 기준 신호를 수신하고 에러 신호를 발생하는 위상 검출기와,

상기 에러 신호를 수신하고 상기 VCO를 조정하여 상기 VCO가 상기 기준 클럭에 동기화되는 필터를 포함하는 정밀 타이밍 발생기.

형구항 17

정밀 타이밍 신호를 발생하는 방법으로서,

제1 주파수를 갖는 클럭 신호를 발생하는 단계와,

상기 클럭 신호 및 타이밍 코멘드 입력에 기초한 프레임 기준 신호 및 조밀 타이밍 신호를 발생하는 단계와,

상기 클럭 신호 및 상기 타이밍 코멘드 입력에 기초한 세밀 타이밍 신호를 발생하는 단계와,

상기 세밀 타이밍 신호 및 상기 조밀 타이밍 신호에 기초한 상기 정밀 타이밍 신호를 발생하는 단계를 포함하고,

상기 조밀 타이밍 신호는 상기 프레임 기준 신호의 간격을 상대적으로 조밀 타이밍 간격으로 분할하며,
상기 세밀 타이밍 신호는 상기 프레임 기준 신호의 간격을 상대적으로 세밀 시간 간격으로 분할하는 방법.

형구항 18

제17항에 있어서, 상기 세밀 타이밍 신호는 상기 조밀 타이밍 간격을 더 작은 간격으로 분할하는 방법.

형구항 19

제17항에 있어서, 상기 세밀 타이밍 신호는 상기 조밀 타이밍 간격을 연속적인 가변 간격으로 분할하는 방법.

형구항 20

제17항에 있어서, 상기 세밀 타이밍 신호를 발생하는 단계는

상기 클럭 신호를 사용하여 상기 제1 주파수를 갖는 사인파 신호를 발생하는 단계와,

위상 시프트를 갖는 위상 시프트된 사인파 신호를 발생시키도록 상기 타이밍 코멘드 입력의 세밀 타이밍 성분에 기초한 상기 사인파 신호를 위상 시프트하는 단계와,

상기 위상 시프트된 사인파 신호를 구형파 신호로 변환하는 단계를 포함하고,

상기 구형파 신호는 상기 세밀 타이밍 신호를 포함하는 방법.

형구항 21

제20항에 있어서, 상기 타이밍 코멘드 입력의 상기 세밀 타이밍 성분은 상기 위상 시프트의 사인 및 코사인을 표시하는 2개의 아날로그 직류 레벨 신호를 포함하는 방법.

형구항 22

제20항에 있어서, 상기 타이밍 코멘드 입력의 상기 세밀 타이밍 성분은 추가로 결합되는 2개의 이산 지면 값을 표시하는 2개의 디지털 라인을 포함하는 방법.

형구항 23

제3항에 있어서, 상기 세밀 타이밍 신호는 상기 타이밍 코멘드 입력에 따라 상기 프레임 기준 신호에 비례하여 적시에 놓여진 일련의 세밀 타이밍 신호 현미를 포함하는 방법.

형구항 24

제23항에 있어서, 상기 정밀 타이밍 신호를 발생하는 상기 단계는 상기 조밀 타이밍 신호에 따라 상기 세밀 타이밍 신호 현미 중 하나를 선택하는 단계를 포함하는 정밀 타이밍 발생기.

형구항 25

제17항에 있어서, 상기 조밀 타이밍 신호를 발생하는 단계는

상기 조밀 시간 간격을 정의하는 클럭 카운트 값을 발생시키도록 상기 클럭 신호의 펄스를 카운트하는 단계와,

상기 프레임 기준 신호를 포함한 낮은 비율 신호로 상기 클럭 신호를 분할하는 단계와,

상기 카운트 값이 증가함에 따라 상기 소정의 카운트 값과 상기 카운트 값을 비교하는 단계와,

상기 클럭 카운트 값이 상기 소정의 카운트 값과 일치하는 경우 상기 조밀 타이밍 신호의 상태를 변경시키는 단계를 포함하고,

상기 소정의 카운트 값은 목표한 조밀 시간 간격에 일치하는 정밀 타이밍 발생기.

형구항 26

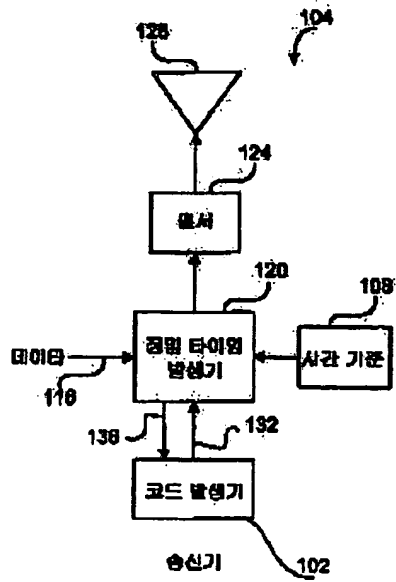
제25항에 있어서, 상기 조밀 타이밍 신호는 조밀 타이밍 펄스를 포함하는 방법.

형구항 27

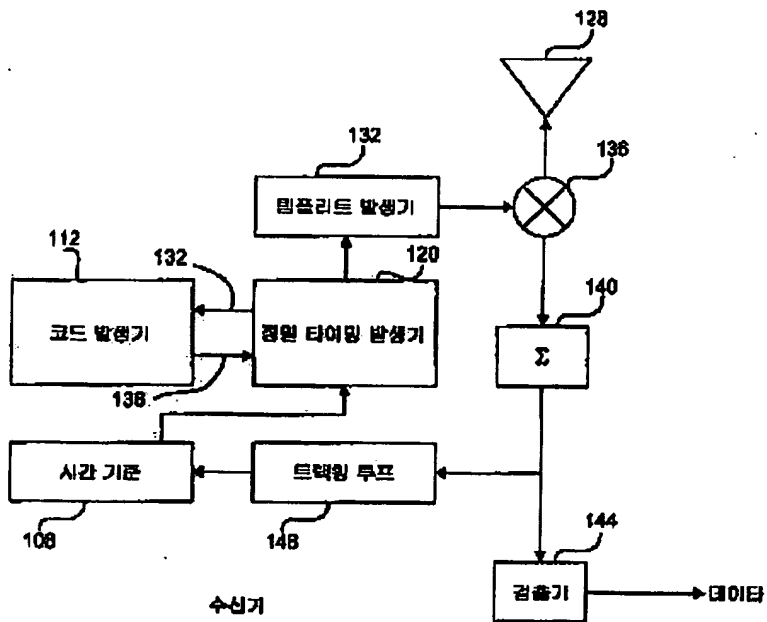
제25항에 있어서, 상기 세밀 타이밍 발생기가 다음 간격에서 트리거할 수 있도록 상기 조밀 타이밍 신호를 사용하는 단계를 더 포함하는 방법.

도면

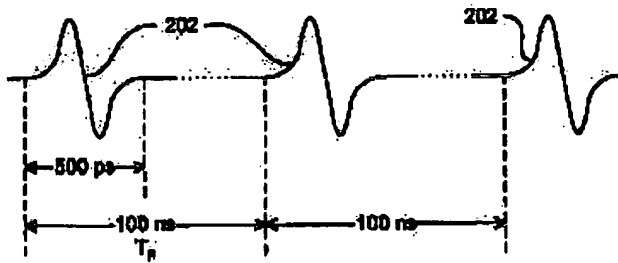
도면 1a



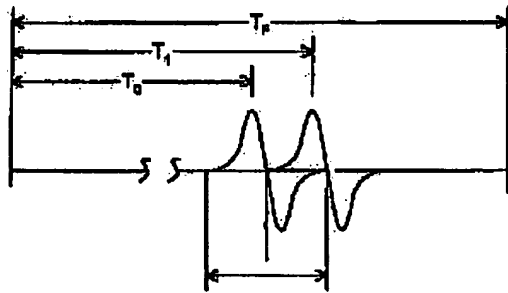
도면 1b



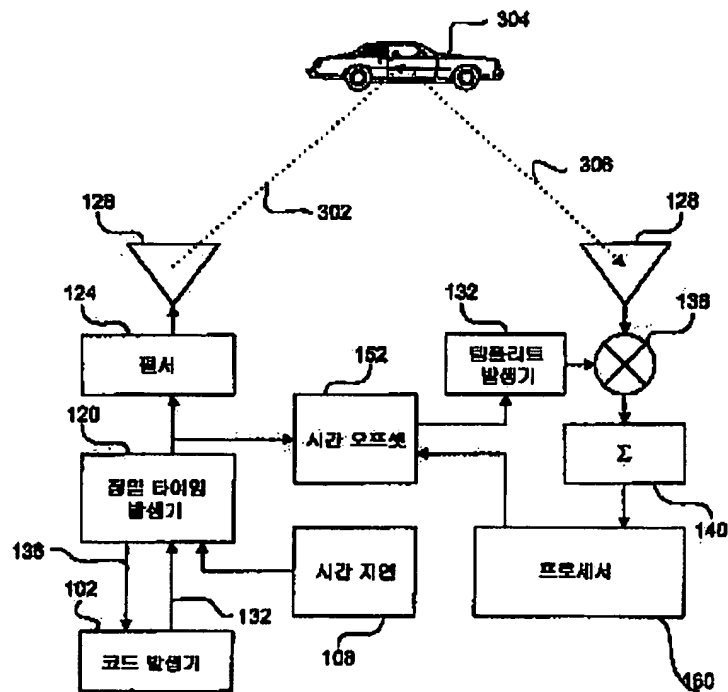
502b

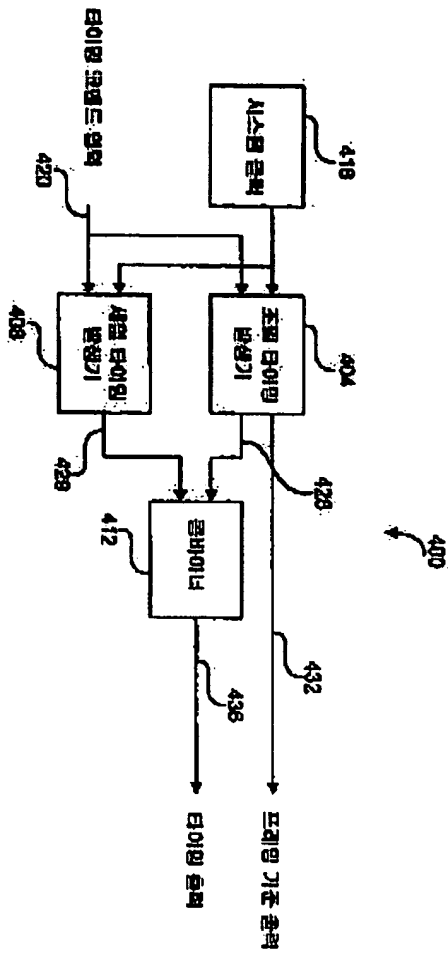


5026

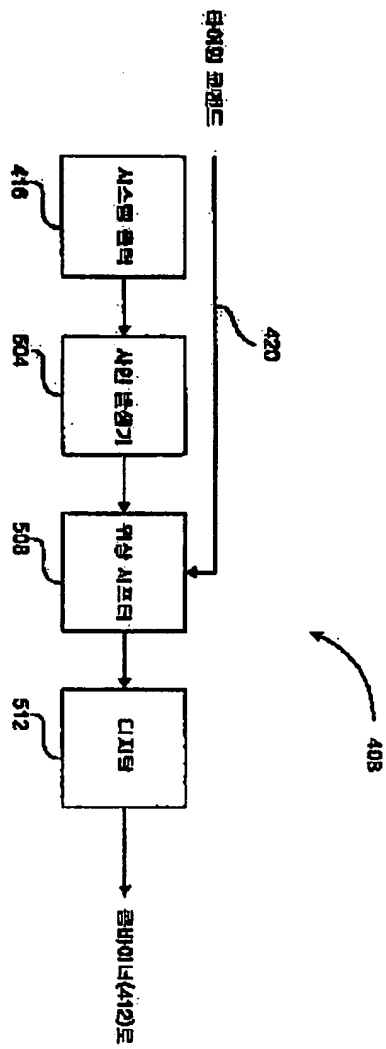


503

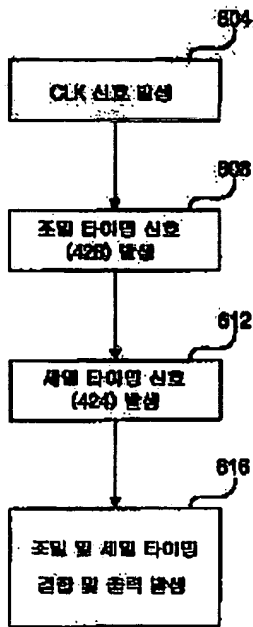




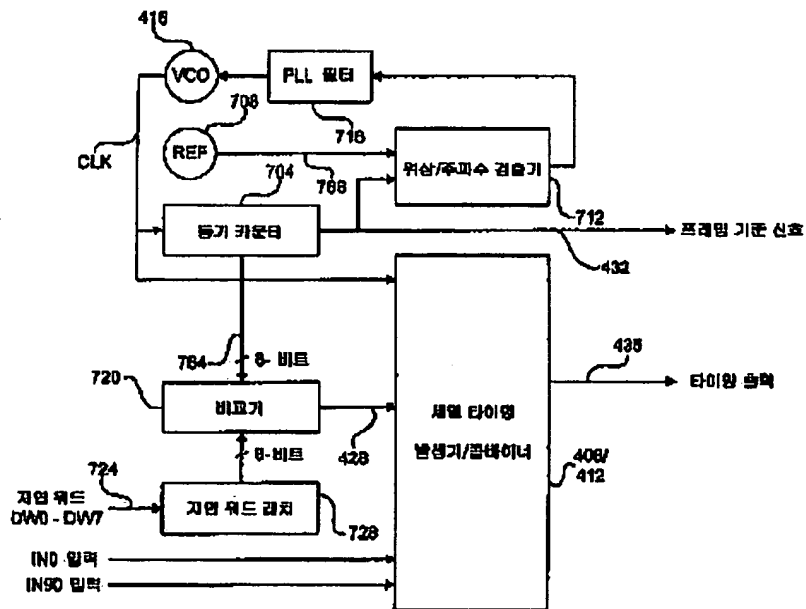
도 5

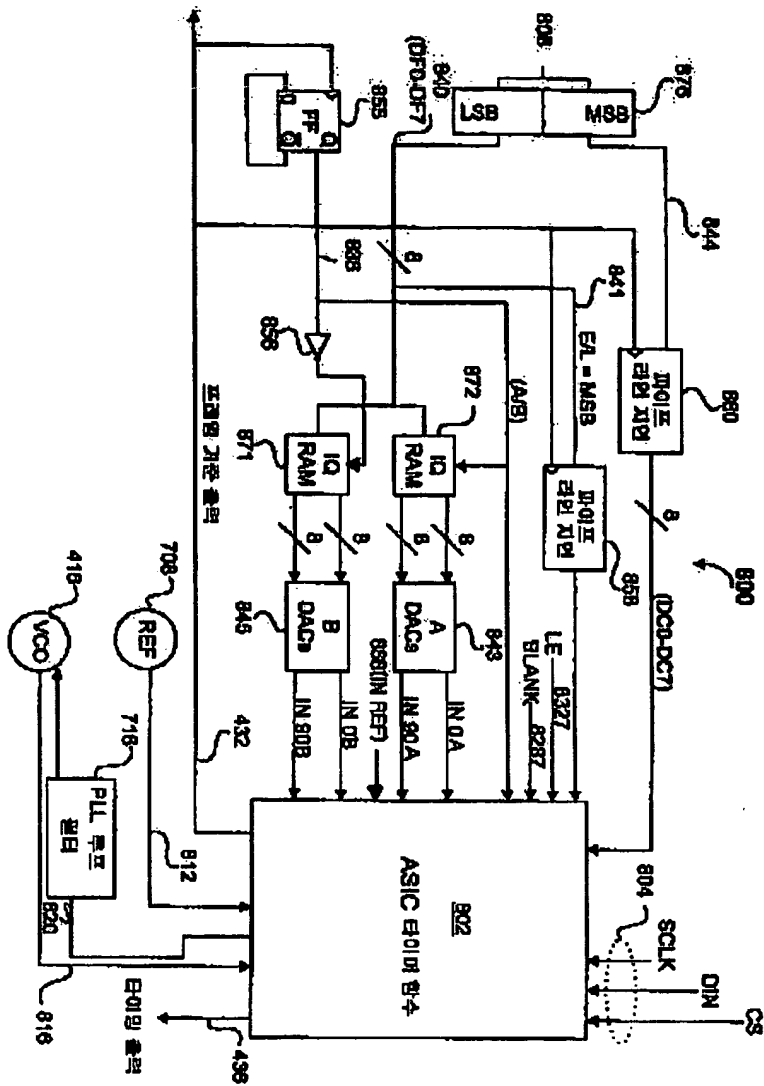


도면6

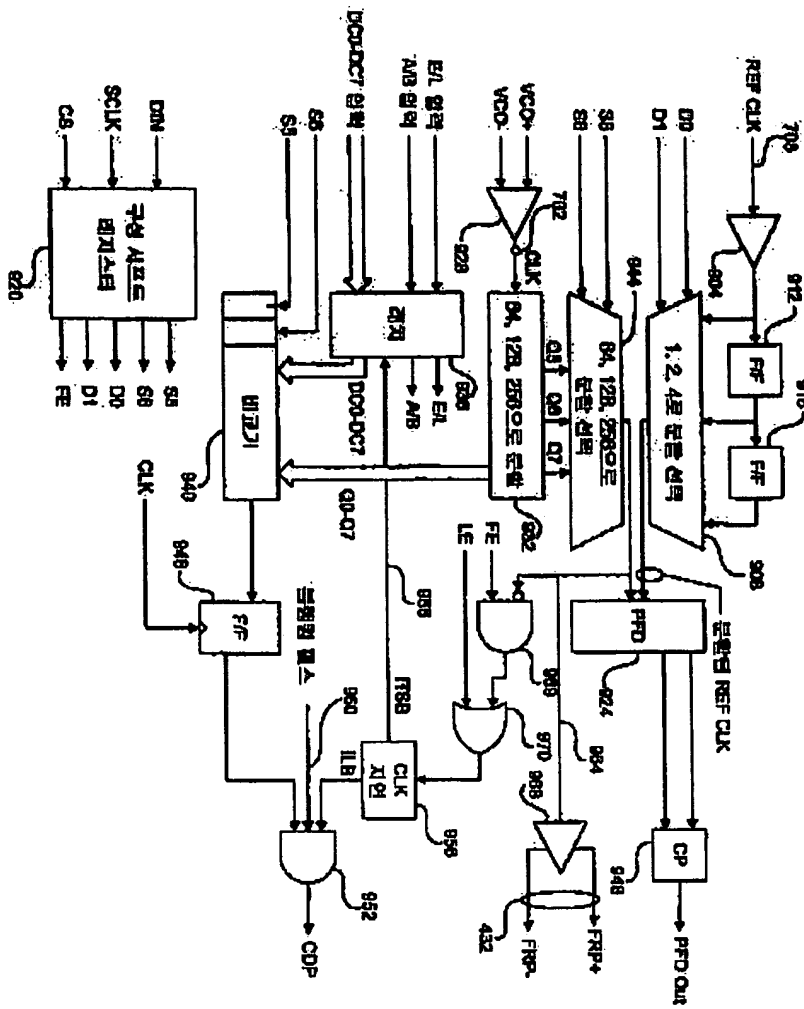


도면7

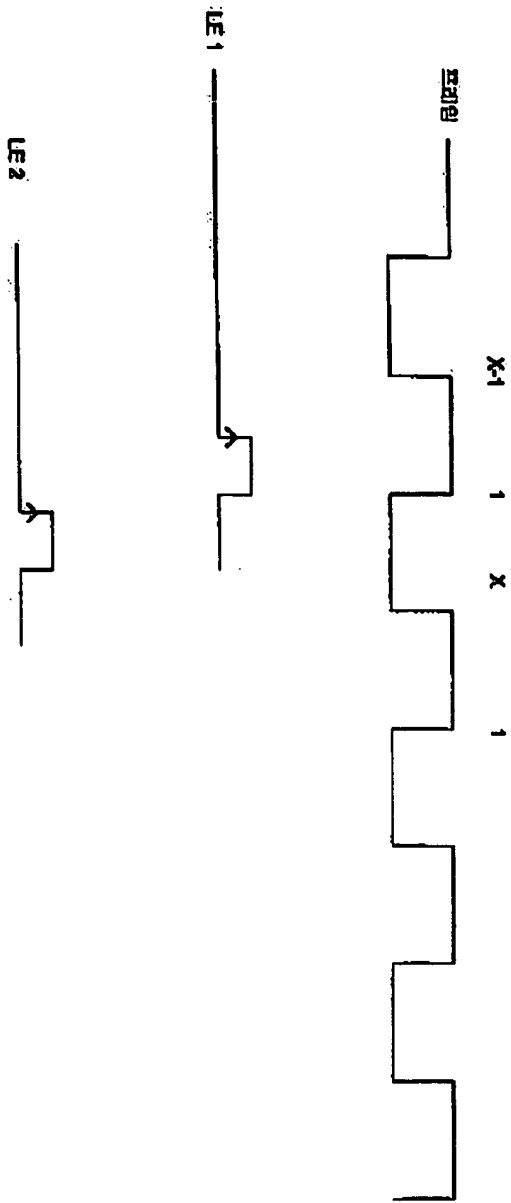




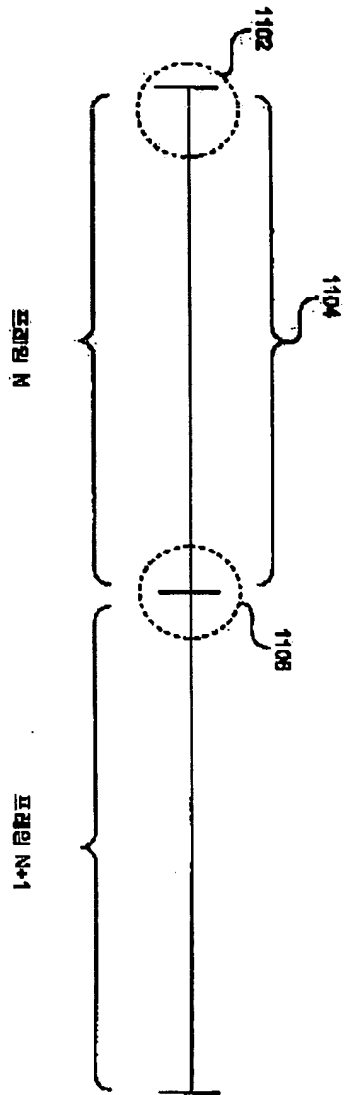
도 8B



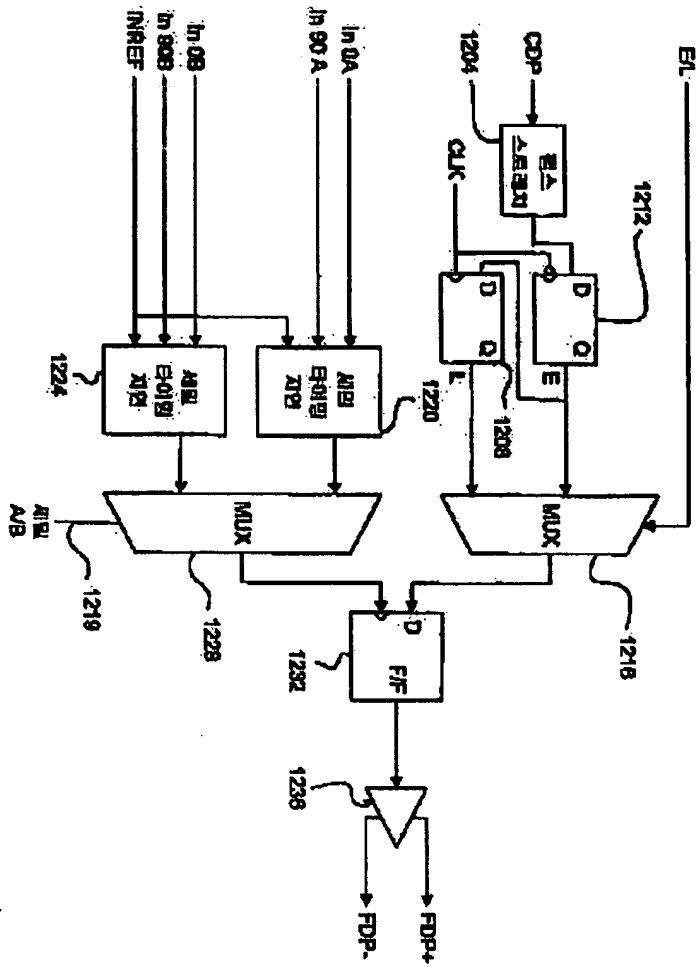
도 10



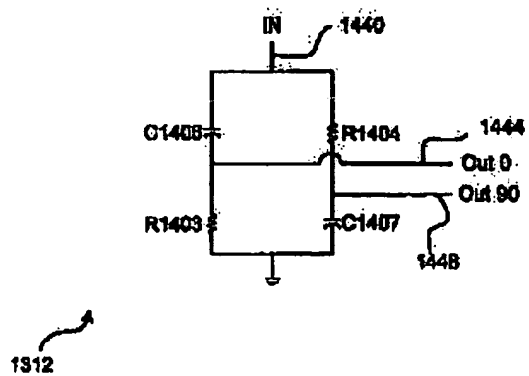
도 11



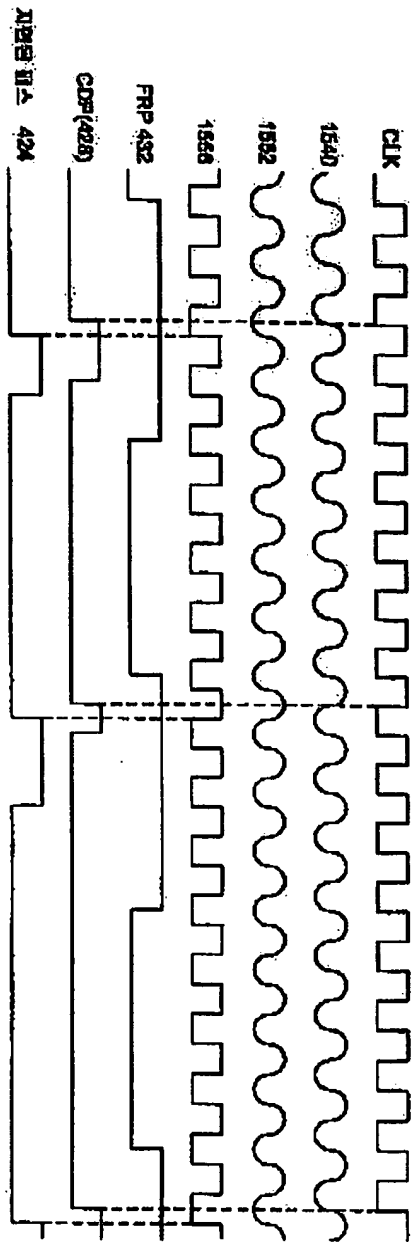
도면 12

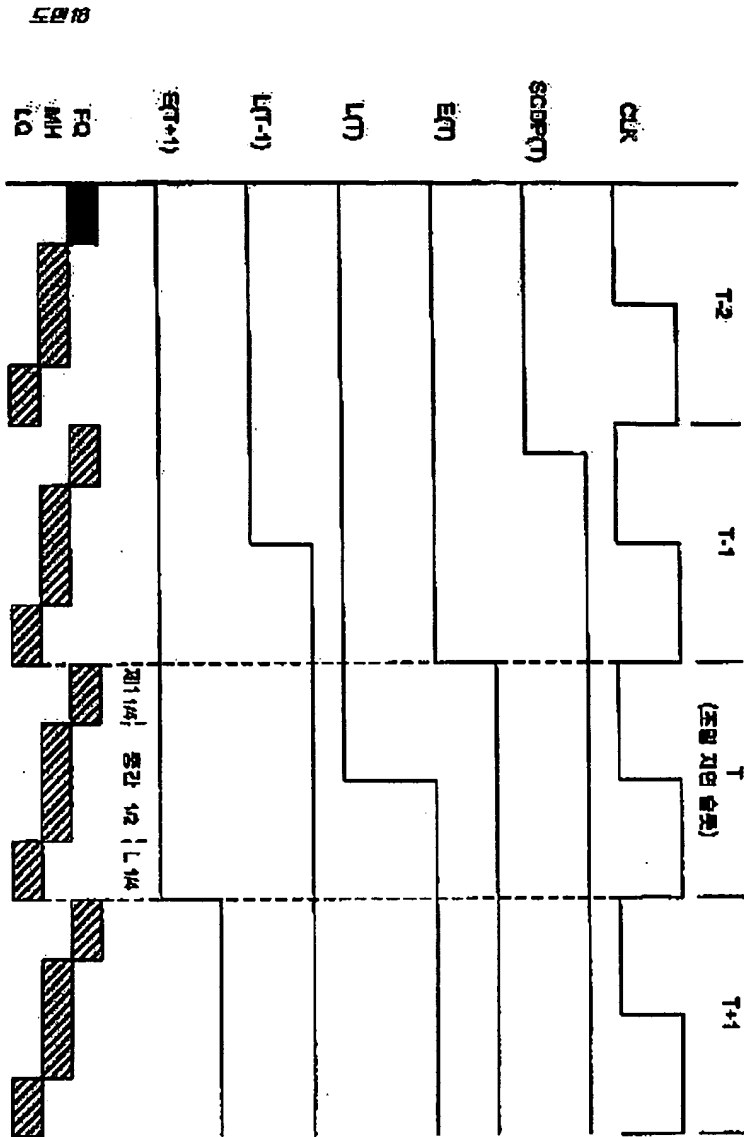


도 14



도 15





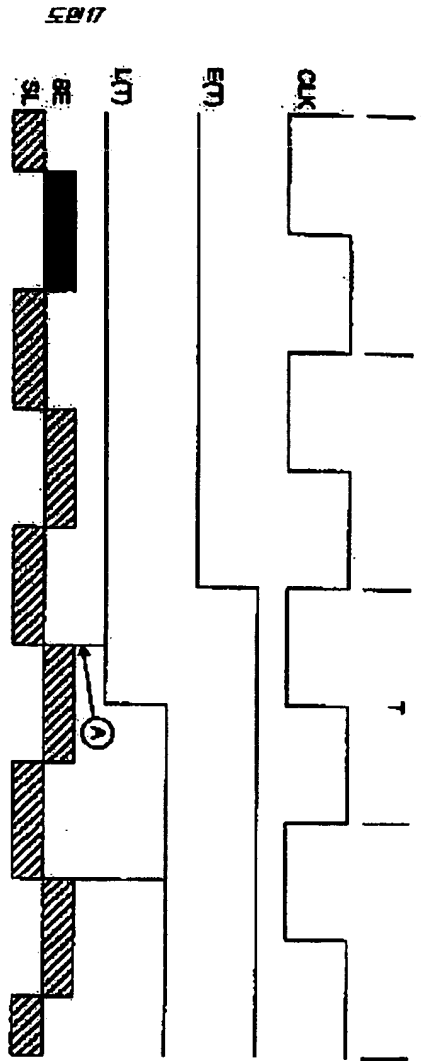


图 18

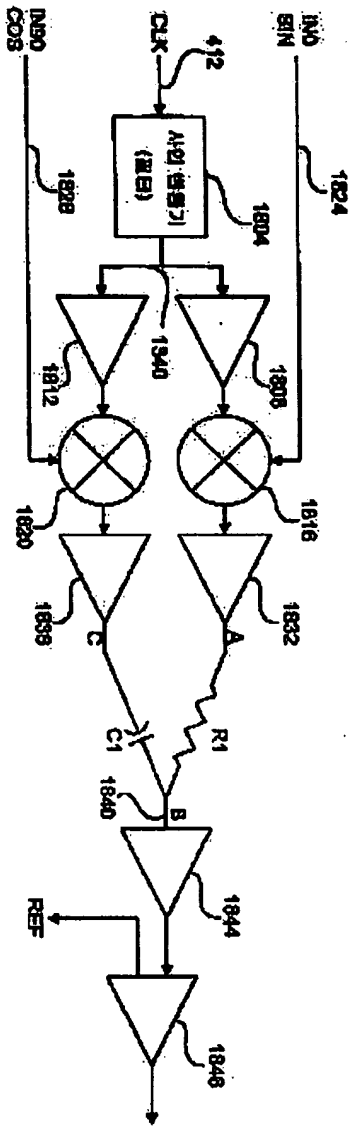
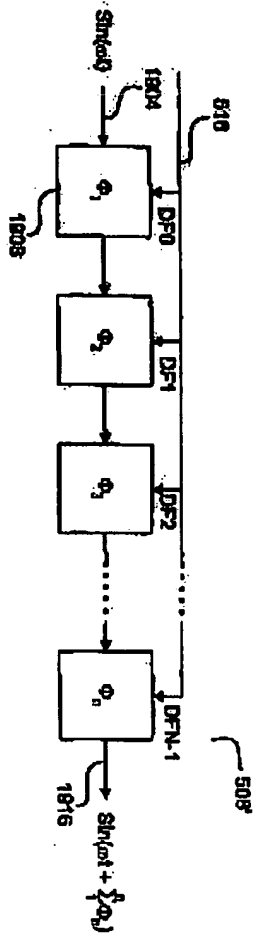
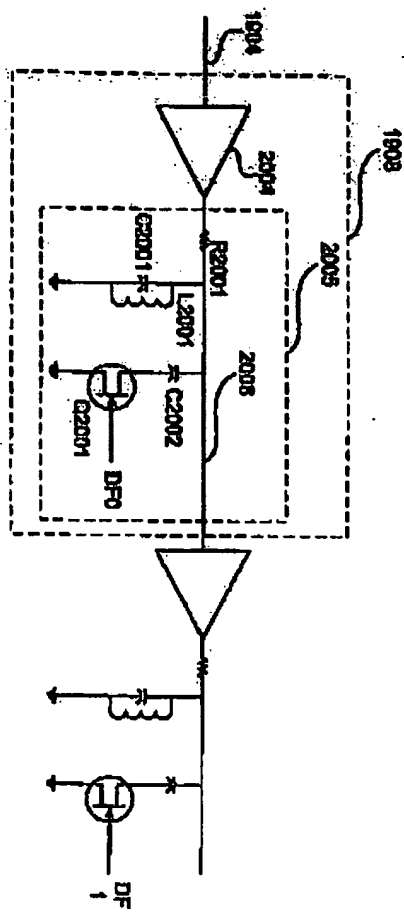


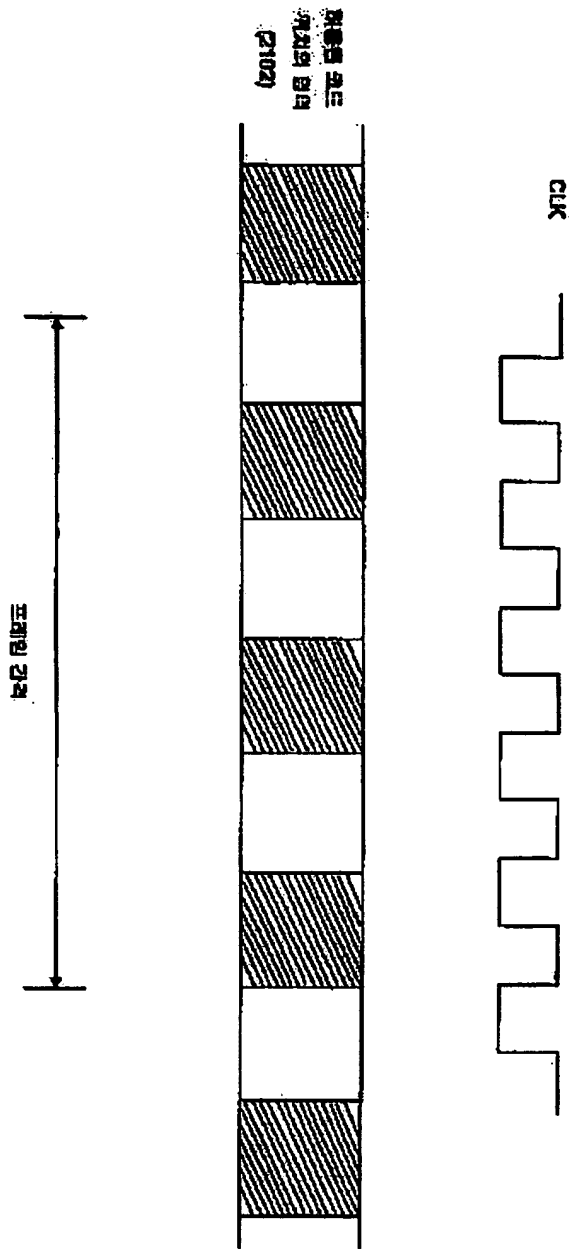
FIG. 10



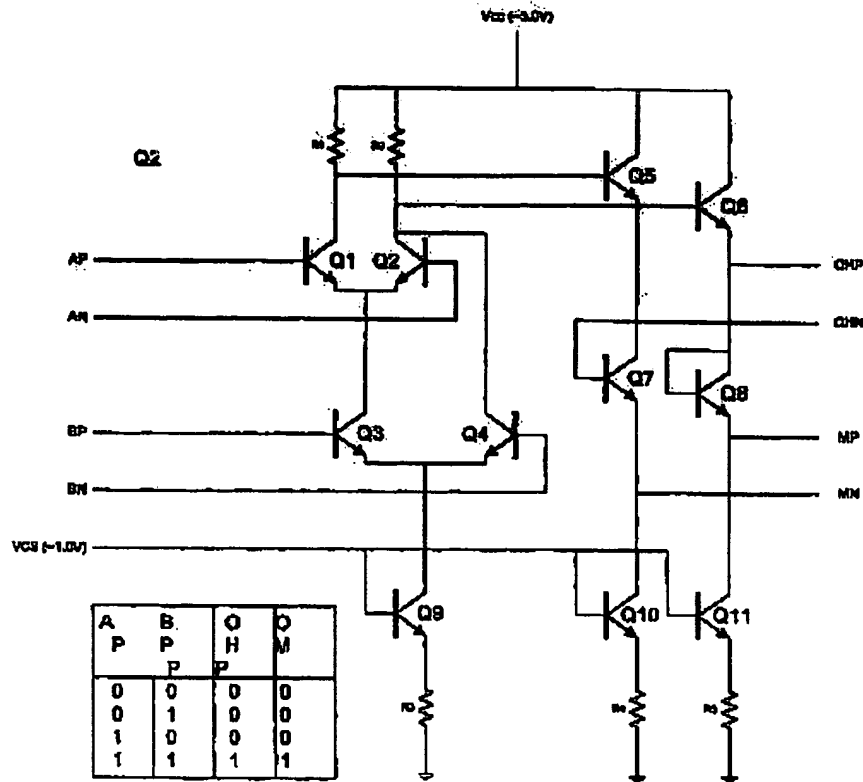
도 20



5021a



CB22



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.